

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

NONVOLATILE SEMICONDUCTOR DEVICE, ITS MANUFACTURING METHOD, ITS WRITING METHOD, ITS READING METHOD, STORAGE MEDIUM AND SEMICONDUCTOR DEVICE

Bibliographic data

Mosaics

Original document

INPADOC LEGAL status

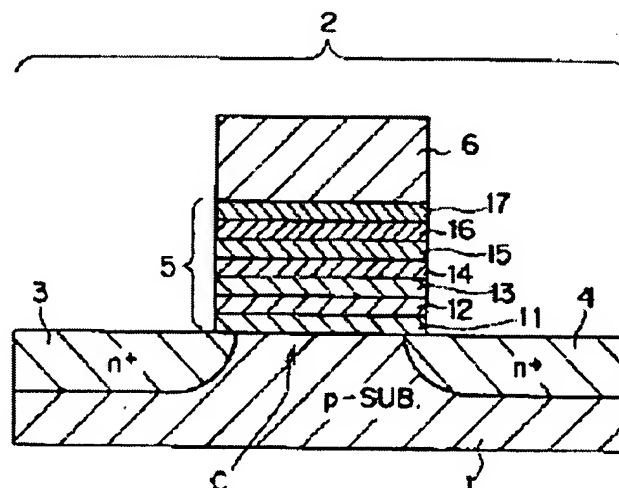
Patent number: JP11008325
Publication date: 1999-01-12
Inventor: MIURA HIROTOMO; SATO YASUO
Applicant: NIPPON STEEL CORP
Classification:
- international: H01L21/8247; H01L29/788; H01L29/792; G11C16/04; G11C16/02; H01L27/115
- european:
Application number: JP19980108123 19980417
Priority number(s):

[View INPADOC patent family](#)

Abstract of JP11008325

PROBLEM TO BE SOLVED: To store desired multi-valued information by allowing easy and sure adjustment of electric charge capturing amount for preventing the occurrence of such fault as a corrupt information.

SOLUTION: Between a channel region C, which is between a source region 3 and a drain region 4, and a gate electrode 6, a gate oxide film 11, a silicon nitride film 12, a silicon oxide film 13, a silicon nitride film 14, a silicon oxide film 15, a silicon nitride film 16 and a silicone oxide film 17 are laminated successively to constitute an electric charge capturing film 5, which constitutes a semiconductor storage device. Here, by allowing an electric charge to be accumulated in a trap which exists between each of the nitride films 12, 14 and 16, and each of the oxide films 11, 13, 15 and 17 that lie in the layer below it, the information on four values ('00', '01', '10', '11') is stored.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-8325

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L	21/8247	H 0 1 L	29/78 3 7 1
	29/788	G 1 1 C	17/00 6 2 1 Z
	29/792		6 4 1
G 1 1 C	16/04	H 0 1 L	27/10 4 3 4
	16/02		

審査請求 未請求 請求項の数31 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願平10-108123

(22) 出願日 平成10年(1998) 4月17日

(31) 優先権主張番号 特願平9-123058

(32) 優先日 平 9 (1997) 4 月25日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町 2 丁目 6 番 3 号

(72) 発明者 三浦 宏知

東京都千代田区大手町 2 - 6 - 3 新日本

製鐵株式会社内

(72) 発明者 佐藤 康夫

東京都千代田区大手町 2 - 6 - 3 新日本

製鐵株式会社内

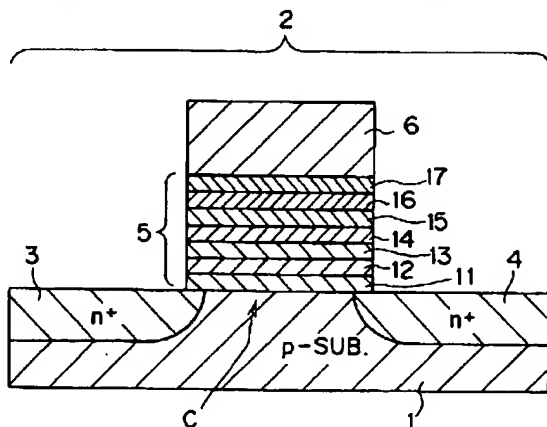
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 不揮発性半導体記憶装置、その製造方法、その書き込み方法、その読み出し方法、記録媒体並びに半導体記憶装置

(57) 【要約】

【課題】 電荷捕獲量の調節を容易且つ確実にを行い、情報ばけ等の不都合の発生を防止して所望の多値情報を記憶する。

【解決手段】 ソース領域3-ドレイン領域4間のチャネル領域Cとゲート電極6との間に、ゲート酸化膜1、シリコン窒化膜12、シリコン酸化膜13、シリコン窒化膜14、シリコン酸化膜15、シリコン窒化膜16及びシリコン酸化膜17が順次積層されてなる電荷捕獲膜5が配されて半導体記憶装置が構成される。ここで、各窒化膜12、14、16とその下層の各酸化膜11、13、15、17との間に存するトラップに電荷を蓄積することで、4値("00", "01", "10", "11")の情報が記憶される。



【特許請求の範囲】

【請求項1】 不揮発性のメモリセルを有する不揮発性半導体記憶装置であって、

前記メモリセルは、一導電型の半導体基板と、前記半導体基板上に形成された反対導電型の1対のソース/ドレイン領域と、前記1対のソース/ドレイン領域の間のチャンネル領域上に形成された電荷捕獲膜と、前記電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備え、

前記電荷捕獲膜は、少なくとも4層の絶縁膜とそれぞれ3層の電荷蓄積層とが交互に積層された多層構造を有し、

前記少なくとも4層の絶縁膜のうち最下層の絶縁膜はゲート絶縁膜として形成されており、

前記少なくとも3層の電荷蓄積層の各々における電荷の捕獲状態に対応したそれぞれ異なる複数のしきい電圧が設定され、前記複数のしきい電圧に応じて少なくとも4種類の記憶状態が規定されていることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記電荷捕獲膜の最上層は、前記少なくとも4層の絶縁膜のうち最上層の絶縁膜であることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記絶縁膜は酸化膜で形成され、前記電荷蓄積層は窒化膜又は珪素膜で形成されており、各窒化膜とその下層の酸化膜との界面に存在するトラップに電荷が捕獲されることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】 前記電荷捕獲膜における各酸化膜の膜厚がその下層側の酸化膜の膜厚よりも順次厚くなるように形成されていることを特徴とする請求項3に記載の不揮発性半導体記憶装置。

【請求項5】 前記電荷捕獲膜における各電荷蓄積層の膜厚がその下層側の電荷蓄積層の膜厚よりも順次厚くなるように形成されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項6】 前記複数のしきい電圧は、しきい電圧が高くなればなるほど当該しきい電圧の大きさに幅を持たせるように設定されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項7】 前記複数のしきい電圧は、前記半導体基板から所望とする電荷蓄積層までの絶縁膜厚と前記ゲート電極への印加電圧との比が一定となるように制御されていることを特徴とする請求項6に記載の不揮発性半導体記憶装置。

【請求項8】 前記電荷捕獲膜は、前記半導体基板上の所定の位置に凹部状に形成されたトレンチの1つの側壁と前記側壁に接している底部の一部の領域にまたがるようにL字形状で形成されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項9】 前記1対のソース/ドレイン領域の一方

は、前記トレンチの底部の領域のうち前記ゲート電極が形成されている領域以外の領域において前記ゲート電極との間に前記電荷捕獲膜を介して形成され、前記1対のソース/ドレイン領域の他方は、前記半導体基板上で前記トレンチが形成されている領域以外の領域において前記ゲート電極との間に前記電荷捕獲膜を介して形成されていることを特徴とする請求項8に記載の不揮発性半導体記憶装置。

【請求項10】 前記電荷捕獲膜は、 n を4以上の自然数として、 n 層の絶縁膜と $(n-1)$ 層の誘電体膜とが交互に積層されてなり、 n 種類の異なる記憶状態を規定することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項11】 m を2以上の自然数として、 $n=2^m$ に設定されていることを特徴とする請求項10に記載の不揮発性半導体記憶装置。

【請求項12】 半導体基板上の所定の領域において、第1の絶縁膜、電荷蓄積層として機能する第1の誘電体膜、第2の絶縁膜、電荷蓄積層として機能する第2の誘電体膜、第3の絶縁膜、電荷蓄積層として機能する第3の誘電体膜及び第4の絶縁膜を順次堆積させて多層膜を形成する工程と、

前記多層膜上に導電層を形成し、更にその上にゲート電極の形状に合ったレジストを形成する工程と、

前記レジストをマスクとして前記多層膜及び前記導電層を除去し、前記レジストの形状に合った電荷捕獲膜及びゲート電極を形成する工程と、

前記レジストをマスクとして前記半導体基板の表面領域に前記半導体基板とは反対導電型の不純物を注入し、ソース領域及びドレイン領域を形成する工程とを含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項13】 前記多層膜を形成する工程は、前記第1～第4の絶縁膜として酸化膜を形成する工程と、前記第1～第3の誘電体膜として窒化膜を形成する工程を含むことを特徴とする請求項12に記載の不揮発性半導体記憶装置の製造方法。

【請求項14】 前記第2～第4の各酸化膜の膜厚をその下層側の酸化膜の膜厚よりも順次厚くなるように形成することを特徴とする請求項13に記載の不揮発性半導体記憶装置の製造方法。

【請求項15】 前記多層膜を形成する工程は、前記第1～第4の絶縁膜として酸化膜を形成する工程と、前記第1～第3の誘電体膜としてポリシリコン膜を形成する工程を含むことを特徴とする請求項12に記載の不揮発性半導体記憶装置の製造方法。

【請求項16】 半導体基板上の所定の位置に凹部状にトレンチを形成する工程と、

前記半導体基板の表面全体を覆うように、第1の絶縁膜、電荷蓄積層として機能する第1の誘電体膜、第2の絶縁膜、電荷蓄積層として機能する第2の誘電体膜、第

3の絶縁膜、電荷蓄積層として機能する第3の誘電体膜及び第4の絶縁膜を順次堆積させて多層膜を形成する工程と、
前記多層膜を覆うように導電層を形成する工程と、
前記導電層を形成した領域全面に対して異方性のドライエッチングを行い、前記トレンチの1つの側壁と前記側壁に接している底部の一部の領域にまたがるようにし字形状の電荷捕獲膜及びゲート電極を形成する工程と、
前記ゲート電極の領域のみマスクして前記半導体基板の表面領域に前記半導体基板とは反対導電型の不純物を注入し、ソース領域及びドレイン領域を形成する工程とを含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項17】 一導電型の半導体基板と、前記半導体基板上に形成された反対導電型のソース領域及びドレイン領域と、前記ソース領域及びドレイン領域の間のチャネル領域上に形成された電荷捕獲膜と、前記電荷捕獲膜上に形成されたゲート電極とを備え、前記電荷捕獲膜が、少なくとも4層の絶縁膜とそれぞれ電荷蓄積層として機能する少なくとも3層の誘電体膜とが交互に積層された多層構造を有している不揮発性のメモリセルを備えた不揮発性半導体記憶装置において前記メモリセルにデータを書き込む方法であって、
書き込みデータの値に応じて前記メモリセルの各部位に印加すべき書き込み電圧を設定するステップを有し、
前記ステップは、前記書き込みデータの一部のデータに関しては、当該データの値に応じた電荷を捕獲する誘電体膜より下層側の絶縁膜についてはトンネリング可能で且つそれより上層側の絶縁膜についてはトンネリング不可の所定電圧を前記ゲート電極に印加するサブステップを含むことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項18】 前記書き込み電圧を設定するステップは、前記書き込みデータの他のデータに関しては、前記少なくとも3層の誘電体膜のいずれにも電荷が捕獲されていない状態を作り出すように前記メモリセルの各部位にそれぞれ電圧を印加するサブステップを含むことを特徴とする請求項17に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項19】 前記電荷捕獲膜における各絶縁膜の膜厚がその下層側の絶縁膜の膜厚よりも順次厚くなるように形成されている場合に、前記書き込み電圧を設定するステップは、前記半導体基板から所望とする電荷蓄積層までの絶縁膜厚と前記ゲート電極への印加電圧との比が一定となるように制御を行うサブステップを含むことを特徴とする請求項17に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項20】 一導電型の半導体基板と、前記半導体基板上に形成された反対導電型のソース領域及びドレイン領域と、前記ソース領域及びドレイン領域の間のチャ

ネル領域上に形成された電荷捕獲膜と、前記電荷捕獲膜上に形成されたゲート電極とを備え、前記電荷捕獲膜が、少なくとも4層の絶縁膜とそれぞれ電荷蓄積層として機能する少なくとも3層の誘電体膜とが交互に積層された多層構造を有している不揮発性のメモリセルを備えた不揮発性半導体記憶装置において前記メモリセルに記憶されたデータを読み出す方法であって、
読み出しデータの値に応じてそれぞれ設定されたしきい電圧の複数の連続する電圧範囲に対して、前記メモリセルの記憶状態が、前記複数の電圧範囲を2つに分けた電圧範囲のいずれに属するかを判定するために前記ゲート電極に所定の第1の電圧を印加するステップと、
前記ソース領域と前記ドレイン領域の間に流れる電流を検出し、しきい電圧が前記第1の電圧よりも高いか否かを判定するステップと、
前記判定された結果に基づいて、前記メモリセルの記憶状態が属する電圧範囲を特定するステップと、
前記特定された電圧範囲に対して、前記メモリセルの記憶状態が、前記特定された電圧範囲を2つに分けた電圧範囲のいずれに属するかを判定するために前記ゲート電極に所定の第2の電圧を印加するステップと、
前記ソース領域と前記ドレイン領域の間に流れる電流を検出し、しきい電圧が前記第2の電圧よりも高いか否かを判定するステップと、
前記判定された結果に基づいて、前記メモリセルの記憶状態が属する電圧範囲を特定するステップとを含む、
以降、前記メモリセルの記憶状態が属する唯一つの電圧範囲が特定されるまで上記各ステップを繰り返すことを特徴とする不揮発性半導体記憶装置の読み出し方法。

【請求項21】 請求項17～19のいずれか1項に記載のデータの書き込み方法の処理手順を規定したプログラムを記録した、コンピュータにより読み取り可能な記録媒体。

【請求項22】 請求項20に記載のデータの読み出し方法の処理手順を規定したプログラムを記録した、コンピュータにより読み取り可能な記録媒体。

【請求項23】 半導体記憶装置において、メモリセルを備え、

少なくとも前記メモリセルが、半導体基板と、前記半導体基板に形成された第1の不純物拡散層と第2の不純物拡散層からなる一対の不純物拡散層と、電荷捕獲膜と、この電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備え、

前記電荷捕獲膜が、電荷蓄積膜として機能する第1の電荷蓄積膜と第2の電荷蓄積膜とを備えとともに、
少なくとも前記第1の電荷蓄積膜の上面に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された前記第2の電荷蓄積膜とを備えており、

前記ゲート電極と前記第1、第2の不純物拡散層の各々

に所定の電圧を印加する電圧印加手段と、
前記電圧印加手段は、前記第1、第2の電荷蓄積膜における電荷の蓄積状態が段階的に変化させる電荷蓄積可変手段とを備え、

前記第1、第2の電荷蓄積膜の内、少なくとも一方の電荷蓄積膜が窒化膜を含むことを特徴とする半導体記憶装置。

【請求項24】 半導体記憶装置において、メモリセルを備え、

少なくとも前記メモリセルが、半導体基板と、前記半導体基板に形成された第1の不純物拡散層と第2の不純物拡散層からなる一対の不純物拡散層と、電荷捕獲膜と、この電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備えており、

前記電荷捕獲膜が、電荷蓄積膜として機能する第1の電荷蓄積膜と第2の電荷蓄積膜と、窒化膜を備えるとともに、

少なくとも前記半導体基板上に形成された第1の絶縁膜と

前記第1の絶縁膜上に形成された前記第1の電荷蓄積膜と、

前記第1の電荷蓄積膜上に形成された第2の絶縁膜と、
前記第2の絶縁膜上に形成された前記第2の電荷蓄積膜とを備え、

前記第1、第2の電荷蓄積膜及び第1、第2の絶縁膜の内、少なくとも一つの膜が前記窒化膜を含み、

前記第1の絶縁膜が、前記第2の絶縁膜の膜厚と異なる膜厚で形成されていることを特徴とする半導体記憶装置。

【請求項25】 半導体記憶装置において、メモリセルを備え、

少なくとも前記メモリセルが、半導体基板と、前記半導体基板に形成された第1の不純物拡散層と第2の不純物拡散層からなる一対の不純物拡散層と、電荷捕獲膜と、この電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備え、

前記電荷捕獲膜が、
電荷蓄積膜として機能する第1の電荷蓄積膜と第2の電荷蓄積膜とを備えるとともに、

少なくとも、前記半導体基板上に形成された前記第1の絶縁膜と、前記第1の絶縁膜上に形成された前記第1の電荷蓄積膜と、前記第1の電荷蓄積膜上に形成された前記第2の絶縁膜と、前記第2の絶縁膜上に形成された前記第2の電荷蓄積膜と、前記第2の電荷蓄積膜上に形成された前記第3の絶縁膜とを備えており、

前記第2の絶縁膜の膜厚が、前記第1の絶縁膜の膜厚より厚く形成され、

前記第3の絶縁膜の膜厚が、前記第2の絶縁膜の膜厚より厚く形成されていることを特徴とする半導体記憶装置。

【請求項26】 不揮発性半導体記憶装置において、メモリセルを備え、

少なくとも前記メモリセルが、半導体基板と、前記半導体基板に形成された第1の不純物拡散層と第2の不純物拡散層からなる一対の不純物拡散層と、電荷捕獲膜と、この電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備え、

前記電荷捕獲膜が、
電荷蓄積膜として機能する第1の電荷蓄積膜と第2の電荷蓄積膜とを備えるとともに、

少なくとも前記第1の電荷蓄積膜の上面に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された前記第2の電荷蓄積膜とを備えており、

前記第1の絶縁膜が、高誘電体膜、強誘電体膜の内、いずれか一方の誘電体膜で形成され、

前記ゲート電極と前記第1、第2の不純物拡散層の各々に所定の電圧を印加する電圧印加手段とを備え、

前記電圧印加手段は、前記第1、第2の電荷蓄積膜における電荷の蓄積状態が段階的に変化させる電荷蓄積可変手段とを備えることを特徴とする不揮発性半導体記憶装置。

【請求項27】 不揮発性半導体記憶装置において、メモリセルを備え、少なくとも前記メモリセルが、半導体基板と、前記半導体基板に形成された第1の不純物拡散層と第2の不純物拡散層からなる一対の不純物拡散層と、電荷捕獲膜と、この電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備え、

前記電荷捕獲膜が、
電荷蓄積膜として機能する第1の電荷蓄積膜と第2の電荷蓄積膜と、誘電体膜を備えるとともに、

少なくとも、前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された前記第1の電荷蓄積膜と、前記第1の電荷蓄積膜上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された前記第2の電荷蓄積膜とを備えており、

第1、第2の電荷蓄積膜及び第1、第2の絶縁膜の内、少なくとも一つの膜が前記誘電体膜を含む膜から形成されており、

前記誘電体膜が、少なくとも高誘電体膜、強誘電体膜の内、いずれかの一方の膜で形成され、

前記第1の絶縁膜が、前記第2の絶縁膜の膜厚と異なる膜厚で形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項28】 前記第1、第2、第3の絶縁膜の内、少なくとも一つの膜が、高誘電体膜、強誘電体膜の内、いずれか一方の誘電体膜であることを特徴とする請求項25に記載の半導体記憶装置。

【請求項29】 前記第1の絶縁膜が、PZT（ジルコン酸チタン酸鉛）、PLZT（ジルコン酸チタン酸鉛ラ

ンタン)、チタン酸バリウム、チタン酸パラジウム、チタン酸バリウムストロンチウム薄膜、チタン酸ビスマス、ジルコン酸チタン酸鉛、タンタル酸化物、 Ta_2O_5 BSTOの内、少なくとも一つの材料から形成されていることを特徴とする請求項26に記載の不揮発性半導体記憶装置。

【請求項30】 前記誘電体膜が、PZT(ジルコン酸チタン酸鉛)、PLZT(ジルコン酸チタン酸鉛ランタン)、チタン酸バリウム、チタン酸パラジウム、チタン酸バリウムストロンチウム薄膜、チタン酸ビスマス、ジルコン酸チタン酸鉛、タンタル酸化物、 Ta_2O_5 BSTOの内、少なくとも一つの材料から形成されていることを特徴とする請求項27に記載の不揮発性半導体記憶装置。

【請求項31】 前記第1、第2、第3の絶縁膜の内、少なくとも一つの膜が、高誘電体膜、強誘電体膜の内、いずれか一方の誘電体膜で形成され、前記誘電体膜が、PZT(ジルコン酸チタン酸鉛)、PLZT(ジルコン酸チタン酸鉛ランタン)、チタン酸バリウム、チタン酸パラジウム、チタン酸バリウムストロンチウム薄膜、チタン酸ビスマス、ジルコン酸チタン酸鉛、タンタル酸化物、 Ta_2O_5 BSTOの内、少なくとも一つの材料からなることを特徴とする請求項28に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置に係り、より詳細には、1つのメモリセルに2ビット(=4値)以上のデータを記憶させるようにした多値レベル方式の不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】各種携帯用電子機器や家電製品の多機能化に伴い、1チップ型マイクロコンピュータに代表されるロジックLSIに、電源との接続を断っても記憶データが保持される不揮発性半導体記憶装置(メモリ)を集積する技術の重要度が増している。

【0003】一般的な不揮発性半導体メモリとしては、電気的に書き換え及び消去が可能なEEPROM(Electrically Erasable and Programmable Read Only Memory)や電気的に一括消去が可能なフラッシュメモリ等が知られている。EEPROMもフラッシュメモリも、各々のメモリセルの構造は基本的には同じMOS型を使用している。すなわち、半導体基板内に形成された1対の不純物拡散領域(ソース及びドレイン)の間のチャネル領域上に形成されたゲート絶縁膜(一般には酸化膜)の上に、電気的に絶縁されたフローティングゲートを形成し、更にその上に絶縁膜を介してコントロールゲート(ゲート電極)を設けた構造を有している。かかるMOS型の不揮発性メモリでは、コントロールゲートに所定の電圧を印加してチャネル領域との間に強い電界をか

け、これによってフローティングゲートに電荷を捕獲させて特定の導電型に帯電させることで、データを記憶させる。もちろん、電気的な効果によりフローティングゲートに注入された電荷が取り除かれた場合は、元の状態に戻り、データは消去される。

【0004】フローティングゲートとしては典型的にはポリシリコン膜が使用されるが、このポリシリコン膜の代わりにシリコン窒化膜を使用しても同様の効果が得られることは知られている。すなわち、ゲート酸化膜とこのゲート酸化膜上に形成したシリコン窒化膜との界面に存在する捕獲中心(トラップ)に電荷を捕獲させることで、特定の導電型に帯電させる(つまり、データを記憶させる)ことができる。このシリコン窒化膜上にコントロールゲート電極を形成したものが、MNOS(Metal-Nitride-Oxide Semiconductor)型の不揮発性メモリである。

【0005】

【発明が解決しようとする課題】しかしながら、MNOS型の不揮発性メモリでは、電荷を捕獲するためのシリコン窒化膜がコントロールゲート電極に接触しているため、シリコン窒化膜内に蓄積されている電荷がリークし易いという問題がある。これに対処するために考案されたものが、シリコン窒化膜とコントロールゲート電極の間に絶縁膜(一般には酸化膜)を形成してなるMONOS(Metal-Oxide-Nitride-Oxide Semiconductor)型の不揮発性メモリである。

【0006】近年の高集積化によりトランジスタのゲート電極の寸法は $1\mu m$ 以下のものが開発されている。EEPROMにおいても同様にフローティングゲート及びコントロールゲートの微細化が検討されているが、現状技術では、量産性を考慮すると $0.35\sim 0.5\mu m$ が限界であろう。

【0007】また、高集積化を図るための別の形態として、素子自体を微細化するのではなく1つのメモリセルに記憶する情報量を多くするように構成された多値レベル方式の不揮発性半導体記憶装置(多値メモリ)が開発されている。かかる多値メモリでは、フローティングゲートに蓄積させる電荷量を調整し、記憶すべき情報の内容に合わせてメモリセルのしきい値を制御するようにしている。従来から知られている2値メモリ(1つのメモリセルに“1”又は“0”のデータを記憶させるようにしたメモリ)では、例えばフローティングゲートに電荷が蓄積されている場合、メモリセルのしきい値は4V以上となり、コントロールゲート電極に3V、ドレイン領域に5V、そしてソース領域に0Vを印加した場合、ドレイン電流は流れない。しかし、フローティングゲートに電荷が蓄積されていない場合、メモリセルのしきい値は1V以下となり、ドレイン電流が流れる。これに対し多値メモリでは、例えば4値の場合を例にとると、メモリセルのしきい値を0.5V、1.5V、2.5V及び

3. 5Vに制御することで、情報を記憶させる。かかる多値メモリの構造としては、上述したフローティングゲート型、MNOS型、MONOS型等がある。

【0008】しかしながら、多値化にも限界があり、1つのメモリセルに記憶する情報量を多くし過ぎると、信頼性が低下するといった問題がある。

【0009】また、上述したMONOS型の不揮発性メモリを用いて多値化を図る場合には、ゲート電極に印加する電圧を適宜変化させることで、シリコン窒化膜に捕獲されるべき電荷量を調整し、その電荷捕獲量に応じて多段階の記憶状態を実現するようになっている。

【0010】しかしこの場合、電荷捕獲膜（この場合、シリコン窒化膜）が薄膜化されるにつれて、ゲート電極への印加電圧の僅かな変化に起因して、当該電荷捕獲膜に捕獲されるべき電荷量に大きなばらつきが生じてしまい、そのために電荷捕獲量の調整が極めて困難になるといった問題があった。また、僅かな電荷捕獲量の差により記憶情報が識別されるため、トラップから電荷が少量リークしただけでも、いわゆる「情報化け」が発生してしまうという問題もあった。

【0011】なお、従来知られている技術の一例として、例えば特開平5-55596号公報には、電荷を捕獲するためにシリコン酸化膜とシリコン窒化膜とが交互に複数積層されてなる多層積層膜を備えたMONOS型の不揮発性メモリが開示されている。この不揮発性メモリでは、電荷保持性能を向上させて長期間信頼性を維持することを意図としている。しかし、ここに開示された技術は、多値レベルで情報を記憶することを教示するものではない。

【0012】また、他の技術の一例として、特開平9-74146号公報には、コントロールゲートと半導体基板の間に電荷を蓄積するために2つのシリコン酸化膜の間にシリコン窒化膜を挟み込んだMONOS構造の不揮発性メモリが開示されている。この不揮発性メモリでは、コントロールゲートへの印加電圧を変化させることで、シリコン窒化膜に蓄積される電荷量を調整してその蓄積電荷量に応じた多値データの記憶を行うようにしている。しかし、ここに開示されたメモリセルは、電荷蓄積層として機能するシリコン窒化膜を1層のみしか備えていないため、コントロールゲートへの印加電圧の僅かな変化に起因して、そのシリコン窒化膜に蓄積されるべき電荷量に大きなばらつきが生じる可能性があり、そのために電荷蓄積量の調整が困難になるといった不利が考えられる。

【0013】また、他の技術の一例として、特開平8-235886号公報には、フローティングゲート型又はMNOS型の不揮発性メモリにおいて電荷蓄積層を備えたメモリセルに3値以上のデータを記憶させるようにした技術が開示されている。しかし、ここに開示された技術においても、電荷蓄積層として機能するフローティン

グゲート又はシリコン窒化膜は1層のみしか設けられていないため、上述したように蓄積電荷量のばらつきに起因して電荷蓄積量の調整が困難になるといった不利が考えられる。

【0014】また、他の技術の一例として、特開平7-273227号公報には、コントロールゲートとチャネル領域の間に電荷蓄積層として機能するフローティングゲートを2層設けた構造の不揮発性メモリが開示されている。ここに開示された不揮発性メモリでは、2層のフローティングゲートに注入すべき電荷の量を調整することで多値データの記憶を行うようにしており、メモリセルのしきい電圧は、多値が1つ増加する毎に一定値ずつ変化するように制御がなされている。フローティングゲート型の不揮発性メモリでは、MNOS型、MONOS型の不揮発性メモリと同様、蓄積した電荷がリークすることに起因して、設定したしきい電圧が低下し、「情報化け」が発生するという問題がある。特に、しきい電圧が高いほど、電荷のリークに起因するしきい電圧の低下量は大きくなり、「情報化け」の可能性もより一層高くなる。ここに開示された技術では、多値が1つ増加する毎にしきい電圧は一定値ずつ変化しているため、特にしきい電圧が高い場合の記憶情報については、「情報化け」の可能性が高くなるといった不利が考えられる。

【0015】また、他の技術の一例として、特開平8-83855号公報には、上述した特開平7-273227号公報と同様、電荷蓄積層として機能するフローティングゲートを2層備えた不揮発性メモリが開示されている。ここに開示された技術においても、上述したものと同様の問題が考えられる。

【0016】また、他の技術の一例として、特開平6-13628号公報には、半導体基板上に設けられた凸状部分又は凹状部分の側面に電荷蓄積層として機能するシリコン窒化膜を形成し、このシリコン窒化膜を覆ってゲート電極を設けた構造を有するMNOS型又はMONOS型の半導体メモリが開示されている。この半導体メモリでは、集積度を高め、作製歩留りを向上させることを意図としている。しかし、ここに開示された技術は、多値レベルで情報を記憶することを一切教示していない。また、電荷蓄積層として機能するシリコン窒化膜は1層のみしか設けられていないため、上述したように蓄積電荷量のばらつきに起因して電荷蓄積量の調整が困難になるといった不利が考えられる。

【0017】また、他の技術の一例として、特開平7-169865号公報には、上述した特開平6-13628号公報と同様、半導体基板上に設けられた凸状部分又は凹状部分の側面に電荷蓄積層として機能するフローティングゲートを形成し、このフローティングゲートを覆ってコントロールゲートを設けた構造を有する不揮発性メモリが開示されている。ここに開示された技術においても、上述したものと同様の問題が考えられる。

【0018】本発明の主な目的は、電荷捕獲量の調整を容易に且つ確実に実現可能とし、情報化け等の不都合の発生を防止して所望の多値情報を記憶することができる不揮発性半導体記憶装置を提供することにある。

【0019】本発明の他の目的は、メモリセル面積の更なる縮小化と共に製造工程の簡略化を図ることができる不揮発性半導体記憶装置を提供することにある。

【0020】本発明の更に他の目的は、上記の不揮発性半導体記憶装置の製造方法及び前記装置におけるデータの書き込み／読み出し方法を提供することにある。

【0021】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、不揮発性のメモリセルを有する不揮発性半導体記憶装置であって、前記メモリセルは、一導電型の半導体基板と、前記半導体基板上に形成された反対導電型の1対のソース／ドレイン領域と、前記1対のソース／ドレイン領域の間のチャネル領域上に形成された電荷捕獲膜と、前記電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備え、前記電荷捕獲膜は、少なくとも4層の絶縁膜とそれぞれ3層の電荷蓄積層とが交互に積層された多層構造を有し、前記3層の電荷蓄積層の内、少なくとも1つの電荷蓄積層が窒化膜を含み、前記少なくとも4層の絶縁膜のうち最下層の絶縁膜はゲート絶縁膜として形成されており、前記少なくとも3層の電荷蓄積層の各々における電荷の捕獲状態に対応したそれぞれ異なる複数のしきい電圧が設定され、前記複数のしきい電圧に応じて少なくとも4種類の記憶状態が規定されている。

【0022】本発明の不揮発性半導体記憶装置の一態様例においては、前記電荷捕獲膜の最上層は、前記少なくとも4層の絶縁膜のうち最上層の絶縁膜である。

【0023】本発明の不揮発性半導体記憶装置の一態様例において、前記電荷捕獲膜は、前記半導体基板上に平坦な形状で形成されている。

【0024】本発明の不揮発性半導体記憶装置の一態様例においては、前記絶縁膜は酸化膜で形成され、前記電荷蓄積層は窒化膜で形成されており、各窒化膜とその下層の酸化膜との界面に存在するトラップに電荷が捕獲される。

【0025】本発明の不揮発性半導体記憶装置の一態様例においては、前記電荷捕獲膜における各酸化膜の膜厚がその下層側の酸化膜の膜厚よりも順次厚くなるように形成されている。

【0026】本発明の不揮発性半導体記憶装置の一態様例においては、前記電荷捕獲膜における各窒化膜の膜厚がその下層側の窒化膜の膜厚よりも順次厚くなるように形成されている。

【0027】本発明の不揮発性半導体記憶装置の一態様例においては、前記絶縁膜は酸化膜で形成され、前記電荷蓄積層はフローティングゲートとして機能するポリシ

リコン膜で形成されており、各ポリシリコン膜とその下層の酸化膜との界面に存在するトラップに電荷が捕獲される。

【0028】本発明の不揮発性半導体記憶装置の一態様例においては、前記電荷捕獲膜における各酸化膜の膜厚がその下層側の酸化膜の膜厚よりも順次厚くなるように形成されている。

【0029】本発明の不揮発性半導体記憶装置の一態様例においては、前記電荷捕獲膜における各電荷蓄積層の膜厚がその下層側の電荷蓄積層の膜厚よりも順次厚くなるように形成されている。

【0030】本発明の不揮発性半導体記憶装置の一態様例においては、前記複数のしきい電圧は、しきい電圧が高くなればなるほど当該しきい電圧の大きさに幅を持たせるように設定されている。

【0031】本発明の不揮発性半導体記憶装置の一態様例においては、前記複数のしきい電圧は、前記半導体基板から所望とする電荷蓄積層までの絶縁膜厚と前記ゲート電極への印加電圧との比が一定となるように制御されている。

【0032】本発明の不揮発性半導体記憶装置の一態様例においては、前記電荷捕獲膜は、前記半導体基板上の所定の位置に凹部状に形成されたトレンチの1つの側壁と前記側壁に接している底部の一部の領域にまたがるようにL形状で形成されている。

【0033】本発明の不揮発性半導体記憶装置の一態様例においては、前記1対のソース／ドレイン領域の一方は、前記トレンチの底部の領域のうち前記ゲート電極が形成されている領域以外の領域において前記ゲート電極との間に前記電荷捕獲膜を介して形成され、前記1対のソース／ドレイン領域の他方は、前記半導体基板上で前記トレンチが形成されている領域以外の領域において前記ゲート電極との間に前記電荷捕獲膜を介して形成されている。

【0034】本発明の不揮発性半導体記憶装置の一態様例においては、前記絶縁膜は酸化膜で形成され、前記電荷蓄積層は窒化膜で形成されており、各窒化膜とその下層の酸化膜との界面に存在するトラップに電荷が捕獲される。

【0035】本発明の不揮発性半導体記憶装置の一態様例においては、前記電荷捕獲膜における各酸化膜の膜厚がその下層側の酸化膜の膜厚よりも順次厚くなるように形成されている。

【0036】本発明の不揮発性半導体記憶装置の一態様例においては、前記電荷捕獲膜における各窒化膜の膜厚がその下層側の窒化膜の膜厚よりも順次厚くなるように形成されている。

【0037】本発明の不揮発性半導体記憶装置の一態様例においては、前記絶縁膜は酸化膜で形成され、前記電荷蓄積層はフローティングゲートとして機能するポリシ

リコン膜で形成されており、各ポリシリコン膜とその下層の酸化膜との界面に存在するトラップに電荷が捕獲される。

【0038】本発明の不揮発性半導体記憶装置の一態様例においては、前記電荷捕獲膜における各酸化膜の膜厚がその下層側の酸化膜の膜厚よりも順次厚くなるように形成されている。

【0039】本発明の不揮発性半導体記憶装置の一態様例においては、前記電荷捕獲膜における各電荷蓄積層の膜厚がその下層側の電荷蓄積層の膜厚よりも順次厚くなるように形成されている。

【0040】本発明の不揮発性半導体記憶装置の一態様例において、前記電荷捕獲膜は、 n を4以上の自然数として、 n 層の絶縁膜と $(n-1)$ 層の誘電体膜とが交互に積層されてなり、 n 種類の異なる記憶状態を規定する。

【0041】本発明の不揮発性半導体記憶装置の一態様例においては、 m を2以上の自然数として、 $n=2^m$ に設定されている。

【0042】本発明の不揮発性半導体記憶装置の製造方法は、不揮発性半導体記憶装置を製造する方法であって、半導体基板上の所定の領域において、第1の絶縁膜、電荷蓄積層として機能する第1の誘電体膜、第2の絶縁膜、電荷蓄積層として機能する第2の誘電体膜、第3の絶縁膜、電荷蓄積層として機能する第3の誘電体膜及び第4の絶縁膜を順次堆積させて多層膜を形成する工程と、前記多層膜上に導電層を形成し、更にその上にゲート電極の形状に合ったレジストを形成する工程と、前記レジストをマスクとして前記多層膜及び前記導電層を除去し、前記レジストの形状に合った電荷捕獲膜及びゲート電極を形成する工程と、前記レジストをマスクとして前記半導体基板の表面領域に前記半導体基板とは反対導電型の不純物を注入し、ソース領域及びドレイン領域を形成する工程とを含む。

【0043】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記多層膜を形成する工程は、前記第1～第4の絶縁膜として酸化膜を形成する工程と、前記第1～第3の誘電体膜として窒化膜を形成する工程を含む。

【0044】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、少なくとも前記第2～第4の酸化膜をそれぞれ同じ膜厚で形成すると共に、前記第1～第3の窒化膜をそれぞれ同じ膜厚で形成する。

【0045】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第1～第3の各窒化膜の膜厚を前記第2～第4の各酸化膜の膜厚よりも厚く形成する。

【0046】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第2～第4の各酸化膜の膜厚をその下層側の酸化膜の膜厚よりも順次厚くなるよ

うに形成する。

【0047】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第1～第3の各窒化膜の膜厚をその下層側の窒化膜の膜厚よりも順次厚くなるように形成する。

【0048】本発明の不揮発性半導体記憶装置の製造方法の一態様例において、前記多層膜を形成する工程は、前記第1～第4の絶縁膜として酸化膜を形成する工程と、前記第1～第3の誘電体膜としてポリシリコン膜を形成する工程を含む。

【0049】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、少なくとも前記第2～第4の酸化膜をそれぞれ同じ膜厚で形成すると共に、前記第1～第3のポリシリコン膜をそれぞれ同じ膜厚で形成する。

【0050】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第1～第3の各ポリシリコン膜の膜厚を前記第2～第4の各酸化膜の膜厚よりも厚く形成する。

【0051】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第2～第4の各酸化膜の膜厚をその下層側の酸化膜の膜厚よりも順次厚くなるように形成する。

【0052】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第1～第3の各ポリシリコン膜の膜厚をその下層側のポリシリコン膜の膜厚よりも順次厚くなるように形成する。

【0053】本発明の不揮発性半導体記憶装置の製造方法は、不揮発性半導体記憶装置を製造する方法であって、半導体基板上の所定の位置に凹部状にトレンチを形成する工程と、前記半導体基板の表面全体を覆うように、第1の絶縁膜、電荷蓄積層として機能する第1の誘電体膜、第2の絶縁膜、電荷蓄積層として機能する第2の誘電体膜、第3の絶縁膜、電荷蓄積層として機能する第3の誘電体膜及び第4の絶縁膜を順次堆積させて多層膜を形成する工程と、前記多層膜を覆うように導電層を形成する工程と、前記導電層を形成した領域全面に対して異方性のドライエッチングを行い、前記トレンチの1つの側壁と前記側壁に接している底部の一部の領域にまたがるようにL字形の電荷捕獲膜及びゲート電極を形成する工程と、前記ゲート電極の領域のみマスクして前記半導体基板の表面領域に前記半導体基板とは反対導電型の不純物を注入し、ソース領域及びドレイン領域を形成する工程とを含む。

【0054】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記ソース領域を、前記トレンチの底部の領域のうち前記ゲート電極が形成されている領域以外の領域において前記ゲート電極との間に前記電荷捕獲膜を介して形成し、前記ドレイン領域を、前記半導体基板上で前記トレンチが形成されている領域以外

の領域において前記ゲート電極との間に前記電荷捕獲膜を介して形成する。

【0055】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記多層膜を形成する工程は、前記第1～第4の絶縁膜として酸化膜を形成する工程と、前記第1～第3の誘電体膜として窒化膜を形成する工程を含む。

【0056】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、少なくとも前記第2～第4の酸化膜をそれぞれ同じ膜厚で形成すると共に、前記第1～第3の窒化膜をそれぞれ同じ膜厚で形成する。

【0057】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第1～第3の各窒化膜の膜厚を前記第2～第4の各酸化膜の膜厚よりも厚く形成する。

【0058】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第2～第4の各酸化膜の膜厚をその下層側の酸化膜の膜厚よりも順次厚くなるように形成する。

【0059】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第1～第3の各窒化膜の膜厚をその下層側の窒化膜の膜厚よりも順次厚くなるように形成する。

【0060】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記多層膜を形成する工程は、前記第1～第4の絶縁膜として酸化膜を形成する工程と、前記第1～第3の誘電体膜としてポリシリコン膜を形成する工程を含む。

【0061】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、少なくとも前記第2～第4の酸化膜をそれぞれ同じ膜厚で形成すると共に、前記第1～第3のポリシリコン膜をそれぞれ同じ膜厚で形成する。

【0062】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第1～第3の各ポリシリコン膜の膜厚を前記第2～第4の各酸化膜の膜厚よりも厚く形成する。

【0063】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第2～第4の各酸化膜の膜厚をその下層側の酸化膜の膜厚よりも順次厚くなるように形成する。

【0064】本発明の不揮発性半導体記憶装置の製造方法の一態様例においては、前記第1～第3の各ポリシリコン膜の膜厚をその下層側のポリシリコン膜の膜厚よりも順次厚くなるように形成する。

【0065】本発明の不揮発性半導体記憶装置の書き込み方法は、一導電型の半導体基板と、前記半導体基板上に形成された反対導電型のソース領域及びドレイン領域と、前記ソース領域及びドレイン領域の間のチャネル領域上に形成された電荷捕獲膜と、前記電荷捕獲膜上に形

成されたゲート電極とを備え、前記電荷捕獲膜が、少なくとも4層の絶縁膜とそれぞれ電荷蓄積層として機能する少なくとも3層の誘電体膜とが交互に積層された多層構造を有している不揮発性のメモリセルを備えた不揮発性半導体記憶装置において前記メモリセルにデータを書き込む方法であって、書き込みデータの値に応じて前記メモリセルの各部位に印加すべき書き込み電圧を設定するステップを有し、前記ステップは、前記書き込みデータの一部のデータに関しては、当該データの値に応じた電荷を捕獲する誘電体膜より下層側の絶縁膜についてはトンネリング可能で且つそれより上層側の絶縁膜についてはトンネリング不可の所定電圧を前記ゲート電極に印加するサブステップを含む。

【0066】本発明の不揮発性半導体記憶装置の書き込み方法の一態様例においては、前記書き込み電圧を設定するステップは、前記書き込みデータの他のデータに関しては、前記少なくとも3層の誘電体膜のいずれにも電荷が捕獲されていない状態を作り出すように前記メモリセルの各部位にそれぞれ電圧を印加するサブステップを含む。

【0067】本発明の不揮発性半導体記憶装置の書き込み方法の一態様例においては、前記電荷捕獲膜における各絶縁膜の膜厚がその下層側の絶縁膜の膜厚よりも順次厚くなるように形成されている場合に、前記書き込み電圧を設定するステップは、前記半導体基板から所望とする電荷蓄積層までの絶縁膜厚と前記ゲート電極への印加電圧との比が一定となるように制御を行うサブステップを含む。

【0068】本発明の不揮発性半導体記憶装置の読み出し方法は、一導電型の半導体基板と、前記半導体基板上に形成された反対導電型のソース領域及びドレイン領域と、前記ソース領域及びドレイン領域の間のチャネル領域上に形成された電荷捕獲膜と、前記電荷捕獲膜上に形成されたゲート電極とを備え、前記電荷捕獲膜が、少なくとも4層の絶縁膜とそれぞれ電荷蓄積層として機能する少なくとも3層の誘電体膜とが交互に積層された多層構造を有している不揮発性のメモリセルを備えた不揮発性半導体記憶装置において前記メモリセルに記憶されたデータを読み出す方法であって、読み出しデータの値に応じてそれぞれ設定されたしきい電圧の複数の連続する電圧範囲に対して、前記メモリセルの記憶状態が、前記複数の電圧範囲を2つに分けた電圧範囲のいずれに属するかを判定するために前記ゲート電極に所定の第1の電圧を印加するステップと、前記ソース領域と前記ドレイン領域の間に流れる電流を検出し、しきい電圧が前記第1の電圧よりも高いか否かを判定するステップと、前記判定された結果に基づいて、前記メモリセルの記憶状態が属する電圧範囲を特定するステップと、前記特定された電圧範囲に対して、前記メモリセルの記憶状態が、前記特定された電圧範囲を2つに分けた電圧範囲のいずれ

に属するかを判定するために前記ゲート電極に所定の第2の電圧を印加するステップと、前記ソース領域と前記ドレイン領域の間に流れる電流を検出し、しきい電圧が前記第2の電圧よりも高いか否かを判定するステップと、前記判定された結果に基づいて、前記メモリセルの記憶状態が属する電圧範囲を特定するステップとを含み、以降、前記メモリセルの記憶状態が属する唯一つの電圧範囲が特定されるまで上記各ステップを繰り返す。

【0069】本発明の記録媒体は、上記データの書き込み方法の処理手順を規定したプログラムを記録し、コンピュータにより読み取り可能とされている。

【0070】本発明の記録媒体の一態様例は、上記データの読み出し方法の処理手順を規定したプログラムを記録し、コンピュータにより読み取り可能とされたものである。

【0071】本発明の半導体記憶装置は、メモリセルを備え、少なくとも前記メモリセルが、半導体基板と、前記半導体基板に形成された第1の不純物拡散層と第2の不純物拡散層からなる一対の不純物拡散層と、電荷捕獲膜と、この電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備え、前記電荷捕獲膜が、電荷蓄積膜として機能する第1の電荷蓄積膜と第2の電荷蓄積膜とを備え、少なくとも前記第1の電荷蓄積膜の上面に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された前記第2の電荷蓄積膜とを備えており、前記ゲート電極と前記第1、第2の不純物拡散層の各々に所定の電圧を印加する電圧印加手段とを備え、前記電圧印加手段は、前記第1、第2の電荷蓄積膜における電荷の蓄積状態が段階的に変化させる電荷蓄積可変手段とを備え、前記第1、第2の電荷蓄積膜の内、少なくとも一方の電荷蓄積膜が窒化膜を含む。

【0072】本発明の半導体記憶装置は、半導体記憶装置において、メモリセルを備え、少なくとも前記メモリセルが、半導体基板と、前記半導体基板に形成された第1の不純物拡散層と第2の不純物拡散層からなる一対の不純物拡散層と、電荷捕獲膜と、この電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備え、電荷捕獲膜が、電荷蓄積膜として機能する第1の電荷蓄積膜と第2の電荷蓄積膜と、窒化膜を備え、少なくとも前記半導体基板上に形成された第1の絶縁膜と前記第1の絶縁膜上に形成された前記第1の電荷蓄積膜と、前記第1の電荷蓄積膜上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された前記第2の電荷蓄積膜とを備え、前記第1、第2の電荷蓄積膜及び第1、第2の絶縁膜の内、少なくとも一つの膜が前記窒化膜を含み、前記第1の絶縁膜が、前記第2の絶縁膜の膜厚と異なる膜厚で形成されている。

【0073】本発明の半導体記憶装置は、半導体記憶装置において、メモリセルを備え、少なくとも前記メモリセルが、半導体基板と、前記半導体基板に形成された第

1の不純物拡散層と第2の不純物拡散層からなる一対の不純物拡散層と、電荷捕獲膜と、この電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備え、電荷捕獲膜が、電荷蓄積膜として機能する第1の電荷蓄積膜と第2の電荷蓄積膜と、少なくとも前記半導体基板上に形成された前記第1の絶縁膜と前記第1の絶縁膜上に形成された前記第1の電荷蓄積膜と、前記第1の電荷蓄積膜上に形成された前記第2の絶縁膜と、前記第2の絶縁膜上に形成された前記第2の電荷蓄積膜と、前記第2の電荷蓄積膜上に形成された前記第3の絶縁膜とを備えており、前記第2の絶縁膜の膜厚が、前記第1の絶縁膜の膜厚より厚く形成され、前記第3の絶縁膜の膜厚が、前記第2の絶縁膜の膜厚より厚く形成される。

【0074】本発明の半導体記憶装置の一態様例においては、前記半導体記憶装置が、不揮発性メモリであって、前記一対の不純物拡散層の間のチャネル領域上に形成された前記電荷捕獲膜と、前記電荷捕獲膜上に形成された前記ゲート電極とを備える。

【0075】本発明の半導体記憶装置の一態様例においては、前記半導体記憶装置が不揮発性メモリであって、前記一対の不純物拡散層の間のチャネル領域上に形成された前記電荷捕獲膜と、前記電荷捕獲膜上に形成された前記ゲート電極とを備える。

【0076】本発明の半導体記憶装置の一態様例においては、前記第1、第2の電荷蓄積膜の材料が、窒化膜である。

【0077】本発明の半導体記憶装置の一態様例においては、前記電荷捕獲膜が、少なくとも、前記半導体基板上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された前記第1の電荷蓄積膜と、前記第1の電荷蓄積膜に形成された前記第1の絶縁膜と、前記第1の絶縁膜上に形成された前記第2の電荷蓄積膜と、前記第2の電荷蓄積膜上に形成された第3の絶縁膜を備える。

【0078】本発明の半導体記憶装置の一態様例においては、前記電荷捕獲膜が、少なくとも、前記半導体基板上に形成された前記第1の絶縁膜と、前記第1の絶縁膜上に形成された前記第1の電荷蓄積膜と、前記第1の電荷蓄積膜上に形成された前記第2の絶縁膜と、前記第2の絶縁膜上に形成された前記第2の電荷蓄積膜と、前記第2の電荷蓄積膜上に形成された前記第3の絶縁膜とを備える。

【0079】本発明の半導体記憶装置の一態様例においては、前記第1の電荷蓄積膜の材料が、窒化膜又は導電性珪素膜のどちらか一方の材料からなり、前記第2の電荷蓄積膜の材料が、窒化膜又は導電性珪素膜のどちらか一方の材料からなる。

【0080】本発明の半導体記憶装置の一態様例においては、前記第1、第2、第3の絶縁膜の内、少なくとも2つの絶縁膜の膜厚が異なる。

【0081】本発明の半導体記憶装置の一態様例においては、前記第2の絶縁膜の膜厚が、前記第1の絶縁膜の膜厚より厚く形成され、前記第3の絶縁膜の膜厚が、前記第2の絶縁膜の膜厚より厚く形成される。

【0082】本発明の半導体記憶装置の一態様例においては、前記第1、第2、第3の絶縁膜が、酸化膜を含む絶縁膜であり、前記第1、第2の電荷蓄積膜が、窒化膜又は珪素のどちらか一方の薄膜から形成されてなる。

【0083】本発明の半導体記憶装置の一態様例においては、前記第2の絶縁膜の膜厚が、前記第1の絶縁膜の膜厚より厚く形成されてなる。

【0084】本発明の半導体記憶装置の一態様例においては、前記電荷蓄積可変手段は、前記第1の電荷蓄積膜に、少なくとも2つの異なる記憶状態に設定する第1の記憶状態可変手段と、前記第2の電荷蓄積膜に、少なくとも2つの異なる記憶状態に設定する第2の記憶状態可変手段とを備える。

【0085】本発明の半導体記憶装置の一態様例においては、前記ゲート電極と前記第1、第2の不純物拡散層の各々に所定の電圧を印加する電圧印加手段と、前記電圧印加手段は、前記第1、第2の電荷蓄積膜における電荷の蓄積状態が段階的に変化させる電荷蓄積可変手段とを備える。

【0086】本発明の半導体記憶装置の一態様例においては、前記第1の電荷蓄積膜の表層が、凹凸形状である。

【0087】本発明の半導体記憶装置の一態様例においては、前記第1、第2の電荷蓄積膜の内、少なくとも1つの電荷蓄積膜表層が、凹凸形状である。

【0088】本発明の半導体記憶装置の一態様例においては、前記第1の絶縁膜表層が、凹凸形状である。

【0089】本発明の半導体記憶装置の一態様例においては、前記第1、第2、第3の絶縁膜の内、少なくとも1つの絶縁膜表層が、凹凸形状を備える。

【0090】本発明の半導体記憶装置の一態様例においては、前記第1の電荷蓄積膜の材料が、窒化膜又は導電性珪素膜のどちらか一方の材料からなり、前記第2の電荷蓄積膜の材料が、窒化膜又は導電性珪素膜のどちらか一方の材料からなる。

【0091】本発明の半導体記憶装置の一態様例においては、前記半導体記憶装置は不揮発性メモリであって、前記一対の不純物拡散層の間のチャネル領域上に形成された前記電荷捕獲膜と、前記電荷捕獲膜上に形成された前記ゲート電極とを備える。

【0092】本発明の半導体記憶装置の一態様例においては、前記第1、第2の電荷蓄積膜の内、少なくとも1つの電荷蓄積膜表層が、凹凸形状である。

【0093】本発明の半導体記憶装置の一態様例においては、前記ゲート電極と前記第1、第2の不純物拡散層の各々に所定の電圧を印加する電圧印加手段と、前記電

圧印加手段は、前記第1、第2の電荷蓄積膜における電荷の蓄積状態が段階的に変化させる電荷蓄積可変手段とを備える。

【0094】本発明の半導体記憶装置の一態様例においては、前記電荷蓄積可変手段は、前記第1の電荷蓄積膜の記憶状態を、少なくとも2つの異なる記憶状態に設定する第1の記憶状態可変手段と、前記第2の電荷蓄積膜の記憶状態を、少なくとも2つの異なる記憶状態に設定する第2の記憶状態可変手段とを備える。

【0095】本発明の不揮発性半導体記憶装置は、メモリセルを備え、少なくとも前記メモリセルが、半導体基板と、前記半導体基板に形成された第1の不純物拡散層と第2の不純物拡散層からなる一対の不純物拡散層と、電荷捕獲膜と、この電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備え、前記電荷捕獲膜が、電荷蓄積膜として機能する第1の電荷蓄積膜と第2の電荷蓄積膜とを備えるとともに、少なくとも前記第1の電荷蓄積膜の上面に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された前記第2の電荷蓄積膜とを備えており、前記第1の絶縁膜が、高誘電体膜、強誘電体膜の内、いずれか一方の誘電体膜で形成され、前記ゲート電極と前記第1、第2の不純物拡散層の各々に所定の電圧を印加する電圧印加手段と、前記電圧印加手段は、前記第1、第2の電荷蓄積膜における電荷の蓄積状態が段階的に変化させる電荷蓄積可変手段とを備える。

【0096】本発明の不揮発性半導体記憶装置は、メモリセルを備え、少なくとも前記メモリセルが、半導体基板と、前記半導体基板に形成された第1の不純物拡散層と第2の不純物拡散層からなる一対の不純物拡散層と、電荷捕獲膜と、この電荷捕獲膜上に形成されたコントロール電極として機能するゲート電極とを備え、前記電荷捕獲膜が、電荷蓄積膜として機能する第1の電荷蓄積膜と第2の電荷蓄積膜と、誘電体膜を備えるとともに、少なくとも、前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された前記第1の電荷蓄積膜と、前記第1の電荷蓄積膜上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された前記第2の電荷蓄積膜とを備えており、第1、第2の電荷蓄積膜及び第1、第2の絶縁膜の内、少なくとも一つの膜が前記誘電体膜を含む膜から形成されており、前記誘電体膜が、少なくとも高誘電体膜、強誘電体膜の内、いずれかの一方の膜で形成され、前記第1の絶縁膜が、前記第2の絶縁膜の膜厚と異なる膜厚で形成されている。

【0097】本発明の半導体記憶装置の一態様例においては、前記第1、第2、第3の絶縁膜の内、少なくとも一つの膜が、高誘電体膜、強誘電体膜の内、いずれか一方の誘電体膜である。

【0098】本発明の不揮発性半導体記憶装置の一態様例においては、前記第1の絶縁膜が、PZT（ジルコン

酸チタン酸鉛)、PLZT(ジルコン酸チタン酸鉛ランタン)、チタン酸バリウム、チタン酸パラジウム、チタン酸バリウムストロンチウム薄膜、チタン酸ビスマス、ジルコン酸チタン酸鉛、タンタル酸化物、 Ta_2O_5 BSTOの内、少なくとも一つの材料から形成されている。

【0099】本発明の不揮発性半導体記憶装置の一態様例においては、前記誘電体膜が、PZT(ジルコン酸チタン酸鉛)、PLZT(ジルコン酸チタン酸鉛ランタン)、チタン酸バリウム、チタン酸パラジウム、チタン酸バリウムストロンチウム薄膜、チタン酸ビスマス、ジルコン酸チタン酸鉛、タンタル酸化物、 Ta_2O_5 BSTOの内、少なくとも一つの材料から形成されている。

【0100】本発明の半導体記憶装置の一態様例においては、前記第1、第2、第3の絶縁膜の内、少なくとも一つの膜が、高誘電体膜、強誘電体膜の内、いずれか一方の誘電体膜で形成され、前記誘電体膜が、PZT(ジルコン酸チタン酸鉛)、PLZT(ジルコン酸チタン酸鉛ランタン)、チタン酸バリウム、チタン酸パラジウム、チタン酸バリウムストロンチウム薄膜、チタン酸ビスマス、ジルコン酸チタン酸鉛、タンタル酸化物、 Ta_2O_5 BSTOの内、少なくとも一つの材料からなる。

【0101】

【発明の実施の形態】以下、本発明の好適な実施形態について図面を参照しながら説明する。

【0102】(第1の実施形態)図1は本発明の第1の実施形態に係る不揮発性半導体記憶装置の主要部(ここではメモリセル)の構成を概略的な断面図の形で示したものである。

【0103】図1に示すように、第1の実施形態の不揮発性半導体記憶装置におけるメモリセルは、p型の半導体(例えばシリコン)基板1と、半導体基板1上においてフィールド酸化膜等の素子分離構造により画定された素子形成領域2の表面部分に形成された1対の高濃度n型不純物の拡散領域(ソース領域3及びドレイン領域4)と、ソース領域3とドレイン領域4との間のチャネル領域C上にパターン形成された電荷捕獲用の多層膜(電荷捕獲膜)5と、この電荷捕獲膜5上にパターン形成されたコントロール電極として機能するゲート電極6とを備えて構成されている。電荷捕獲膜5は、ゲート絶縁膜として機能するシリコン酸化膜(ゲート酸化膜)11と、このゲート酸化膜11上に順次積層されて形成された誘電体膜(本実施形態ではシリコン窒化膜)12、シリコン酸化膜13、誘電体膜(シリコン窒化膜)14、シリコン酸化膜15、誘電体膜(シリコン窒化膜)16及びシリコン酸化膜17とを備えて構成されている。すなわち、電荷捕獲膜5は、シリコン酸化膜11、13、15及び17と、電荷蓄積層として機能するシリコン窒化膜12、14及び16とが交互に積層された多層構造を有している。つまり本実施形態では、MONO

S構造のメモリセルを使用している。

【0104】以下、本実施形態の不揮発性半導体記憶装置の製造方法について図2及び図3を参照しながら説明する。

【0105】まず、図2(a)に示すように、p型の半導体基板1の上に、フィールド酸化膜やフィールドシールド素子分離構造等の図示しない素子分離構造を形成して素子形成領域2を画定する。次いで、素子形成領域2における半導体基板1の表面を熱酸化して、膜厚が8.0nm程度のゲート酸化膜11を形成する。

【0106】次に、図2(b)に示すように、減圧CVD法を用いて、ゲート酸化膜11上に膜厚10.0nm程度のシリコン窒化膜12を形成する。次いで、このシリコン窒化膜12の20%程度の上層部位を熱酸化し、膜厚5.0nm程度のシリコン酸化膜13を形成する。次いで、シリコン酸化膜13上にシリコン窒化膜12と同様のシリコン窒化膜14を形成し、このシリコン窒化膜14の上層部位を熱酸化してシリコン酸化膜13と同様のシリコン酸化膜15を形成する。更に、シリコン酸化膜15上にシリコン窒化膜12、14と同様のシリコン窒化膜16を形成し、このシリコン窒化膜16の上層部位を熱酸化してシリコン酸化膜13、15と同様のシリコン酸化膜17を形成する。

【0107】次に、図2(c)に示すように、CVD法を用いて、シリコン酸化膜17上にポリシリコン層21を形成する。次いで、ポリシリコン層21上にフォトリジストを塗布し、このフォトリジストをフォトリソグラフィにより加工してゲート電極の形状に合ったレジスト22を形成する。

【0108】次に、図3(a)に示すように、レジスト22をマスクとして、ポリシリコン層21、シリコン酸化膜17、シリコン窒化膜16、シリコン酸化膜15、シリコン窒化膜14、シリコン酸化膜13、シリコン窒化膜12及びゲート酸化膜11をドライエッチングし、素子形成領域2における半導体基板1上にレジスト22の形状に合った電荷捕獲膜5及びゲート電極6を形成する。

【0109】最後に、図3(b)に示すように、ポリシリコン層21をマスクとして、半導体基板1の表面領域に高濃度のn型不純物、例えばリン(P)又は砒素(As)をイオン注入する。次いで、レジスト22を灰化処理等により除去する。次いで、半導体基板1をアニール処理して、1対の不純物拡散領域、すなわちソース領域3及びドレイン領域4を形成する。これによって、半導体基板1のソース領域3とドレイン領域4との間にチャネル領域Cが形成される。

【0110】このようにして、本実施形態におけるメモリセルが作製される。この後、公知の技術を用いて層間絶縁膜や種々の配線等を形成し、本実施形態の不揮発性半導体記憶装置を完成させる。

【0111】本実施形態におけるメモリセルには、以下に詳述するように、2ビットのデータ、すなわち“00”、“01”、“10”及び“11”の4値のデータを記憶させることができる。すなわち、電荷捕獲膜5において、シリコン窒化膜12とその下層のゲート酸化膜11との界面、シリコン窒化膜14とその下層のシリコン酸化膜13との界面、及びシリコン窒化膜16とその下層のシリコン酸化膜15との界面にそれぞれ存在するトラップT1、T2及びT3（図4参照）に、ゲート電極6に印加する電圧の大きさに応じた電荷が捕獲され、各トラップにおける電荷の捕獲状態に応じて4つの記憶状態が規定される。具体的には、トラップT1～T3のいずれにも電荷が捕獲されていない状態がデータ“00”として規定され、トラップT1のみに電荷が捕獲された状態がデータ“01”として、トラップT1及びT2のみに電荷が捕獲された状態がデータ“10”として、トラップT1～T3の全てに電荷が捕獲された状態がデータ“11”としてそれぞれ規定される。

【0112】以下、本実施形態の不揮発性半導体記憶装置におけるデータの書き込み方法について図4及び図5を参照しながら説明する。なお、図4は電荷捕獲膜5における電荷蓄積層（ここではシリコン窒化膜12、14及び16）における電荷（ここでは電子）の捕獲状態を模式的に示したものであり、また、図5はデータの書き込み方法の一例を表したフローチャートである。

【0113】図5を参照すると、先ずステップS1では、書き込みデータの値に応じた書き込み電圧（つまり、メモリセルの各部位に印加すべき電圧）を設定する。これは、データ“01”、“10”又は“11”を書き込む場合と、データ“00”を書き込む場合とで、それぞれ書き込み電圧の設定が異なる。

【0114】データとして“01”、“10”又は“11”を書き込む場合には、ステップS2に示すように、ゲート電極に、データの値に応じた電荷（ここでは電子）を捕獲する電荷蓄積層（ここではシリコン窒化膜）より下層側の酸化膜についてはトンネリング可能で且つそれより上層側の酸化膜についてはトンネリング不可の所定電圧を印加する。

【0115】具体的には、例えばデータ“01”を書き込む場合、ソース領域3、ドレイン領域4及び半導体基板1を接地電位とし、ゲート電極6には、電子がゲート酸化膜11をトンネリングすることが可能で且つシリコン酸化膜13をトンネリングすることは不可能な所定電圧、例えば4V程度を印加する。この時、ゲート電極6とチャネル領域Cとの間に発生する電界により、チャネル領域Cに存在する電子が高エネルギー状態となり、一部の電子がゲート酸化膜11をトンネリングする。しかし、この電子は、シリコン酸化膜13をもトンネリングするほどのエネルギーを有していないため、シリコン窒化膜12内のトラップT1に捕獲される。これは、メモ

リセルにデータ“01”が記憶されたことを意味する。

【0116】同様に、データ“10”を書き込む場合、ソース領域3、ドレイン領域4及び半導体基板1を接地電位とし、ゲート電極6には、電子がゲート酸化膜11及びシリコン酸化膜13をトンネリングすることが可能で且つシリコン酸化膜15をトンネリングすることは不可能な所定電圧、例えば6V程度を印加する。この時、ゲート電極6とチャネル領域Cとの間に発生する電界により、チャネル領域Cに存在する電子が高エネルギー状態となり、一部の電子がゲート酸化膜11をトンネリングし、更にその中の一部の電子がシリコン窒化膜12内のトラップT1に捕獲される。そして、捕獲されなかった電子はシリコン酸化膜13をトンネリングする。しかし、この電子は、シリコン酸化膜15をもトンネリングするほどのエネルギーを有していないため、シリコン窒化膜14内のトラップT2に捕獲される。結局、シリコン窒化膜12及び14の各トラップT1及びT2に電子が捕獲される。これは、メモリセルにデータ“10”が記憶されたことを意味する。

【0117】同様に、データ“11”を書き込む場合、ソース領域3、ドレイン領域4及び半導体基板1を接地電位とし、ゲート電極6には、電子がゲート酸化膜11及びシリコン酸化膜13及び15をトンネリングすることが可能で且つシリコン酸化膜17をトンネリングすることは不可能な所定電圧、例えば8V程度を印加する。この時、ゲート電極6とチャネル領域Cとの間に発生する電界により、チャネル領域Cに存在する電子が高エネルギー状態となり、一部の電子がゲート酸化膜11及びシリコン酸化膜13及び15をトンネリングする。この時、上記一部の電子は、シリコン窒化膜12内のトラップT1に捕獲されるものと、シリコン酸化膜13をトンネリングするがシリコン酸化膜15をもトンネリングするほどのエネルギーを有していないためにシリコン窒化膜14内のトラップT2に捕獲されるものと、更にシリコン酸化膜15をトンネリングするがシリコン酸化膜17をもトンネリングするほどのエネルギーを有していないためにシリコン窒化膜16内のトラップT3に捕獲されるものとに分かれる。つまり、シリコン窒化膜12、14及び16内の各トラップT1、T2及びT3に電子が捕獲される。これは、メモリセルにデータ“11”が記憶されたことを意味する。

【0118】一方、データとして“00”を書き込む場合には、図5のステップS3に示すように、ゲート電極とチャネル領域の間に、データ“01”、“10”又は“11”の書き込み時と反対方向に電界が生じるような電圧を印加する。具体的には、ソース領域3、ドレイン領域4及び半導体基板1に8V程度を印加し、ゲート電極6を接地電位とする。これによって、上述したデータ“01”、“10”又は“11”の書き込み時とは反対方向に電界が生じ、チャネル領域Cに電子が戻されるこ

となる。これは、シリコン窒化膜12、14又は16のいずれにも電子が捕獲されていない状態であり、情報が消去されたこと、言い換えると、メモリセルにデータ“00”が記憶されたことを意味する。

【0119】各ステップS2又はS3の処理が終了すると、データ書き込みフローは「エンド」となる。

【0120】次に、本実施形態の不揮発性半導体記憶装置におけるデータの読み出し方法について図6及び図7を参照しながら説明する。なお、図6はしきい電圧の分布特性を示したものであり、また、図7はデータの読み出し方法の一例を表したフローチャートである。

【0121】本実施形態では、図6に示すように、しきい電圧(V_T)が約0.1V、約2V、約4V及び約6Vでそれぞれピーク値を持った分布特性を示す。すなわち、R1と表示された電圧範囲に V_T が検出された場合には記憶状態は“00”として判定され、R2と表示された電圧範囲に V_T が検出された場合には記憶状態は“01”として判定され、R3と表示された電圧範囲に V_T が検出された場合には記憶状態は“10”として判定され、R4と表示された電圧範囲に V_T が検出された場合には記憶状態は“11”として判定される。

【0122】以下、図7のフローチャートを参照しながら説明する。まず、ステップS11では、メモリセルからデータを読み出すのに必要な読み出し電圧(V_1 , V_2 , V_3)を設定する。本実施形態では、 $V_1 \equiv 1V$ 、 $V_2 \equiv 3V$ 、 $V_3 \equiv 5V$ に設定した。次のステップS12では、メモリセルの記憶状態がR1又はR2の電圧範囲とR3又はR4の電圧範囲のいずれにあるかを判定するために、ゲート電極6に読み出し電圧として V_2 ($\equiv 3V$)を印加する。この時、ソース領域3とドレイン領域4との間に約5Vを印加する。

【0123】次のステップS13では、ソース領域3とドレイン領域4の間に流れるドレイン電流をセンスアンプ等で検出し、 V_T が V_2 よりも高い(YES)か否(NO)かを判定する。判定結果がYES($V_T > V_2$)の場合、つまりチャネル領域Cに電流が流れない場合には、メモリセルの記憶状態はR3又はR4の電圧範囲にあると判定され、ステップS14に進む。逆に、判定結果がNO($V_T \leq V_2$)の場合、つまりチャネル領域Cに電流が流れた場合には、メモリセルの記憶状態はR1又はR2の電圧範囲にあると判定され、ステップS18に進む。

【0124】ステップS14では、メモリセルの記憶状態がR3又はR4のいずれの電圧範囲にあるかを判定するために、ゲート電極6に読み出し電圧として V_3 ($\equiv 5V$)を印加する。この時、ソース領域3とドレイン領域4との間には、上記と同様約5Vを印加する。次のステップS15では、同様にソース領域3とドレイン領域4の間に流れるドレイン電流をセンスアンプ等で検出し、 V_T が V_3 よりも高い(YES)か否(NO)かを

判定する。判定結果がYES($V_T > V_3$)の場合、つまりチャネル領域Cに電流が流れない場合には、メモリセルの記憶状態はR4の電圧範囲にあると判定され、次のステップS16において、データ“11”と判定される。逆に、判定結果がNO($V_T \leq V_3$)の場合、つまりチャネル領域Cに電流が流れた場合には、メモリセルの記憶状態はR3の電圧範囲にあると判定され、次のステップS17において、データ“10”と判定される。

【0125】一方、ステップS18では、メモリセルの記憶状態がR1又はR2のいずれの電圧範囲にあるかを判定するために、ゲート電極6に読み出し電圧として V_1 ($\equiv 1V$)を印加する。この時、ソース領域3とドレイン領域4との間には、上記と同様約5Vを印加する。次のステップS19では、同様にソース領域3とドレイン領域4の間に流れるドレイン電流をセンスアンプ等で検出し、 V_T が V_1 よりも高い(YES)か否(NO)かを判定する。判定結果がYES($V_T > V_1$)の場合、つまりチャネル領域Cに電流が流れない場合には、メモリセルの記憶状態はR2の電圧範囲にあると判定され、次のステップS20において、データ“01”と判定される。逆に、判定結果がNO($V_T \leq V_1$)の場合、つまりチャネル領域Cに電流が流れた場合には、メモリセルの記憶状態はR1の電圧範囲にあると判定され、次のステップS21において、データ“00”と判定される。

【0126】各ステップS16、S17、S20又はS21の処理が終了すると、データ読み出しフローは「エンド」となる。

【0127】以上説明したように、本発明の第1の実施形態に係る不揮発性半導体記憶装置によれば、電荷捕獲膜5をシリコン酸化膜11、13、15及び17とシリコン窒化膜12、14及び16とを交互に積層した多層構造としているので、各電荷蓄積層(シリコン窒化膜12、14及び16)に捕獲される電荷量に応じて4種類の異なる電荷捕獲状態が形成され、これらの電荷捕獲状態に対応して4値の記憶状態(“00”、“01”、“10”及び“11”)が実現される。

【0128】従って、電荷捕獲量の調整を容易に且つ確実に行うことができ、情報化け等の不都合の発生を防止して所望の多値情報を記憶することができる。また、電荷捕獲膜5を多層積層構造としているので、メモリセル面積の更なる縮小化を図ることができる。これは、小さなサイズのチップに極めて高い集積度をもつ不揮発性半導体記憶装置の実現に大いに寄与するものである。

【0129】上述した第1の実施形態(図1参照)では、複数のシリコン酸化膜と複数のシリコン窒化膜を交互に積層した多層構造にして多値メモリとし、各シリコン酸化膜(但し、ゲート酸化膜11は除く)を同じ膜厚とした場合について説明したが、この膜厚の設定は、必ずしもこれに限定されない。

【0130】図8には図1に示す第1の実施形態の一変形例の構成が概略的に示される。図示のメモリセルは、図1に示したメモリセルと同じMONOS構造を有している。すなわち、5aは電荷捕獲膜、11a、13a、15a及び17aはシリコン酸化膜、12a、14a及び16aは電荷蓄積層として機能するシリコン窒化膜を示す。図8に示すメモリセルでは、例えば、p型のシリコン基板1上にシリコン酸化膜（ゲート酸化膜）11aを膜厚2.0nm程度形成した場合、その上層側の各シリコン酸化膜13a、15a及び17aの膜厚はそれぞれ3.0nm、4.0nm及び5.0nmとなるように形成する。

【0131】このように、シリコン酸化膜の膜厚をその下層側のシリコン酸化膜の膜厚よりも順次厚くして形成することにより、データの書き込み制御を容易に行えるという利点がある。図4及び図5を参照してデータの書き込み方法について前述したように、所望とする電荷蓄積層（シリコン窒化膜）に電荷を捕獲させる場合には、それより下層側のシリコン酸化膜についてはトンネリングし易く且つそれより上層側のシリコン酸化膜についてはトンネリングが不可能な所定電圧をゲート電極に印加する必要がある。この場合、トンネリングしなければならない下層側のシリコン酸化膜の膜厚に比べて、トンネリングしてはいけない上層側のシリコン酸化膜の膜厚の方を厚くした方が好ましい。図8の例では、このようにシリコン酸化膜の膜厚を上層側に向かって順次厚くしているため、所望とする電荷蓄積層（シリコン窒化膜）に必要な電荷を確実に捕獲させることができる。つまり、データの書き込み制御を容易に行うことができる。

【0132】なお、本実施形態においてデータの書き込みを行う場合、図4及び図5に関連して説明したように、ソース領域3、ドレイン領域4及び半導体基板1を接地電位とし、ゲート電極6に所定の電圧を印加する。また、書き込むべきデータの値に応じて電荷蓄積層（シリコン窒化膜）の層数が異なるが、この場合、ゲート電極6への印加電圧を適宜制御することで所望とする電荷蓄積層に電荷を蓄積させることができる。例えば、半導体基板1から所望とする電荷蓄積層までの絶縁膜厚（この場合、シリコン酸化膜厚）とゲート電極6への印加電圧との関係を一定にするように、すなわち、印加電圧をV、電荷蓄積層までの膜厚を T_{ox} とすると、 V/T_{ox} が一定となるように電圧を制御する。

【0133】図8の例では、各シリコン酸化膜13a、15a及び17aについての膜厚を変化させるようにしたが、各シリコン窒化膜12a、14a及び16aについても同様に、シリコン窒化膜の膜厚がその下層側のシリコン窒化膜の膜厚よりも順次厚くなるように形成してもよい。この場合には、データの書き込み制御をより一層容易に行うことができる。

【0134】図9は図1に示す第1の実施形態の他の変

形例の構成を概略的に示したものである。

【0135】図示のメモリセルは、図8に示したメモリセルにおける電荷蓄積層として機能するシリコン窒化膜12a、14a及び16aに代えて、同じく電荷蓄積層として機能するポリシリコン膜で形成されたフローティングゲート12b、14b及び16bを備えて構成されている。つまり図9の例では、フローティングゲート型のメモリセル構造となっている。図9に示すメモリセルにおいても同様に、例えば、p型のシリコン基板1上にシリコン酸化膜（ゲート酸化膜）11bを膜厚6.0nm程度形成した場合、その上層側の各シリコン酸化膜13b、15b及び17bの膜厚はそれぞれ7.0nm、8.0nm及び9.0nmとなるように形成する。

【0136】従って、図8のメモリセルと同様の利点（データの書き込み制御の容易化）が得られる。もちろん、各シリコン酸化膜13b、15b及び17bの膜厚だけでなく、各フローティングゲート12b、14b及び16bについても同様に、必要に応じて、フローティングゲートの膜厚がその下層側のフローティングゲートの膜厚よりも順次厚くなるように形成してもよい。

【0137】また、従来技術の多値メモリでは、例えば4値の場合を例にとると、メモリセルのしきい電圧を0.5V、1.5V、2.5V及び3.5Vに制御することで、情報の記憶を行うようにしている。例えば、前述した特開平7-273227号公報に開示された技術では、しきい電圧は、多値が1つ増加する毎に一定値変化するように制御がなされている。周知のように、フローティングゲート型やMONOS型等の不揮発性メモリでは、蓄積した電荷がリークすることに起因して、設定したしきい電圧が低下し、「情報化け」が発生する。特に、しきい電圧が高い場合の記憶情報については、しきい電圧の低下量は大きくなり、それに応じて「情報化け」の可能性も高くなる。

【0138】これに対処するために、本発明の一つの実施形態として、多値データの各々に割り当てるしきい電圧の設定を等分する（つまり、従来技術のように多値が1つ増加する毎に一定値（上記の例では1.0V）変化させる）のではなく、しきい電圧が高くなればなるほどそのしきい電圧に幅を持たせるようにする方法が考えられる。例えば4値の場合を例にとると、データ“00”はしきい電圧を0.5Vに、データ“01”はしきい電圧を1.0Vに、データ“10”はしきい電圧を2.0Vに、データ“11”はしきい電圧を4.0Vに設定し、データ“00”と“01”のしきい値を0.75V、データ“01”と“10”のしきい値を1.5V、データ“10”と“11”のしきい値を3.0Vに設定する。

【0139】この場合、半導体基板から電荷蓄積層までの絶縁膜厚（ T_{ox} ）とゲート電極への印加電圧（V）との関係を一定にするように、つまり、 V/T_{ox} が

定となるようにしきい電圧を制御する。

【0140】このように、しきい電圧の大きさを、多値が1つ増加する毎に（一定値ではなく）100%ずつ増加させることにより、「情報化け」の発生を効果的に防止することができる。

【0141】（第2の実施形態）図10は本発明の第2の実施形態に係る不揮発性半導体記憶装置の主要部の構成を概略的に示したもので、図10（a）は平面図、図10（b）は図10（a）のA-A'線に沿った断面図、図10（c）は図10（b）におけるBの部分の拡大図である。

【0142】第2の実施形態では、図10（a）～図10（c）に示されるように、p型の半導体（例えばシリコン）基板31の表面に所定の深さで直方体形状にトレンチ32が形成されている。このトレンチ32の4つの側壁のうち、対向する2つの側壁（図10（b）の例示では、紙面に対して左側及び右側の側壁）と該側壁に接している底部の一部の領域にまたがるように、それぞれ電荷捕獲用の多層膜（電荷捕獲膜）50がL字形状で形成されており、更に電荷捕獲膜50を覆うようにゲート電極33が形成されている。この電荷捕獲膜50は、ゲート絶縁膜として機能するシリコン酸化膜（ゲート酸化膜）51と、このゲート酸化膜51上に順次積層されて形成された誘電体膜（本実施形態ではシリコン窒化膜）52、シリコン酸化膜53、誘電体膜（シリコン窒化膜）54、シリコン酸化膜55、誘電体膜（シリコン窒化膜）56及びシリコン酸化膜57とを備えている。すなわち、電荷捕獲膜50は、シリコン酸化膜51、53、55及び57と、電荷蓄積層として機能するシリコン窒化膜52、54及び56とが交互に積層された多層構造を有している。つまり本実施形態では、図1に示す第1の実施形態と同様、MONOS構造のメモリセルを使用している。

【0143】また、34はソース領域を示し、トレンチ32の底部の領域のうちゲート電極33が形成されている領域以外の領域において、ゲート電極33との間に電荷捕獲膜50を介して形成されている。また、35はドレイン領域を示し、半導体基板31上でトレンチ32が形成されている領域以外の領域において、ゲート電極33との間に電荷捕獲膜50を介して形成されている。さらに、ソース領域34に導電性の膜（メタル配線）37を接続するためのコンタクトホール36が設けられ、ゲート電極33に導電性の膜（メタル配線）39を接続するためのコンタクトホール38が設けられ、ドレイン領域35に導電性の膜（メタル配線）41を接続するためのコンタクトホール40が設けられている。なお、図10（b）において、参照番号42で示される部分は層間絶縁膜を表している。

【0144】以下、本実施形態の不揮発性半導体記憶装置の製造方法について図11を参照しながら説明する。

【0145】まず、図11（a）に示すように、半導体基板31上の所定の位置に素子分離領域を形成する。この素子分離領域の形成は、公知のLOCOS法やその他の様々な素子分離技術を用いて行う。次いで、メモリセルの形成領域以外をレジスト60にてマスクし、公知のドライエッチング法により深さ約0.3 μ mほどエッチングし、トレンチ32を形成する。この後、レジスト60を灰化処理等により除去する。

【0146】次に、図11（b）に示すように、半導体基板31の表面全体を覆うように多層積層膜61を形成する。この多層積層膜61は、先ずH₂O雰囲気にて半導体基板31の表面を酸化させて厚さ8nmのゲート酸化膜51（図10（c）参照、以下同様）を形成し、次にCVD法によりゲート酸化膜51上に厚さ8nmのシリコン窒化膜52を形成し、次にCVD法によりシリコン窒化膜52上に厚さ5nmのシリコン酸化膜53を形成し、以降同様にして、シリコン窒化膜52及びシリコン酸化膜53と同様の多層膜を更に2層（シリコン窒化膜54及びシリコン酸化膜55、シリコン窒化膜56及びシリコン酸化膜57）形成することにより、作製される。次いで、この多層積層膜61の上に、CVD法を用いて厚さ150nmのポリシリコン膜62を形成する。

【0147】次に、図11（c）に示すように、ポリシリコン膜62を形成した領域全面を、異方性のドライエッチングによりエッチングする。これによって、トレンチ32の対向する2つの側壁と該側壁に接している底部の一部の領域（本実施形態では側壁から0.2 μ mの領域）のみに、L字形状の電荷捕獲膜50とゲート電極33が形成される。この後、トレンチ32の4つの側壁のうち不要な他の対向する2辺を、ウェットエッチング法によりエッチングする。

【0148】次に、図11（d）に示すように、メモリセル領域全面に、例えば砒素（As）を、加速エネルギー70keV、ドーズ量 $5.0 \times 10^{15}/\text{cm}^2$ にてイオン注入し、ソース領域34及びドレイン領域35を形成する。

【0149】最後に、図11（e）に示すように、公知の技術により、層間絶縁膜42、コンタクトホール40（36、38）、導電性の膜すなわち配線41（37、39）等を形成し、本実施形態の不揮発性半導体記憶装置を完成させる。

【0150】本発明の第2の実施形態に係る不揮発性半導体記憶装置の構成によれば、電荷捕獲膜50をシリコン酸化膜51、53、55及び57とシリコン窒化膜52、54及び56とを交互に積層した多層構造としているので、図1に示す第1の実施形態と同様の効果（つまり、電荷捕獲量の調整を容易に且つ確実に実現可能とし、情報化け等の不都合の発生を防止して所望の多値情報を記憶することができ、メモリセル面積の更なる縮小化を図ることができるという効果）を奏することができる。

る。

【0151】また、多値レベルでのデータ記憶を実現するための電荷捕獲膜50及びゲート電極33は、トレンチ32の対向する2つの側壁と該2つの側壁に接している底部の一部の領域のみに形成されており、ドレイン領域35は、半導体基板31上でトレンチ32が形成されている領域以外の領域においてゲート電極33との間に電荷捕獲膜50を介して形成され、また、ソース領域34は、トレンチ32の底部の領域のうちゲート電極33が形成されている領域以外の領域においてゲート電極33との間に電荷捕獲膜50を介して形成されている。つまり、電荷捕獲膜50はL字形状で構成されている。

【0152】従って、かかる構成に基づいて、電荷捕獲膜50の最下層であるゲート酸化膜51の直下のドレイン領域35とソース領域34の間に形成されるチャンネル領域の長さをゲート電極33の幅よりも長くすることができ、これによって素子の更なる微細化を図ることが可能となる。

【0153】さらに、本実施形態に係る製造方法によれば、図11(c)に示す工程においてゲート電極33を形成する際に、単に異方性のドライエッチングを行うことでゲート電極33を形成しているため、従来必要とされている合わせ精度が不要である。

【0154】なお、上述した各実施形態では4値のデータを記憶する不揮発性半導体記憶装置について説明したが、これに限定されないことはもちろんである。本発明は、原理的には、 n を4以上の自然数、 m を2以上の自然数として、 $n (= 2^m)$ 値のデータを記憶する不揮発性半導体記憶装置に適用することができる。例えば、 $n = 8$ ($m = 3$) とした場合、ゲート酸化膜上に8層のシリコン酸化膜と7層のシリコン窒化膜とを交互に積層して電荷捕獲膜を形成する。この場合、各シリコン窒化膜とその下層のシリコン酸化膜との界面に存在するトラップに、ゲート電極に印加する電圧の大きさに応じた電荷がそれぞれ捕獲され、その捕獲される電荷量に応じて8種類の異なる電荷捕獲状態が形成され、これらの電荷捕獲状態に対応して8値の記憶状態(“000”、“001”、“010”、“011”、“100”、“101”、“110”及び“111”)が実現される。

【0155】また、上述した各実施形態では、電荷蓄積層として機能するシリコン窒化膜又はフローティングゲートとその下層のシリコン酸化膜との界面を平坦となるように形成したが、界面の形状は、これに限定されない。例えば、界面の形状を波状又は凹凸形状となるように形成してもよい。この場合には、電荷を捕獲する有効面積が増大するので、より安定したデータ書き込みが期待される。

【0156】さらに、上述した各実施形態では、半導体基板としてp型半導体を用いた場合について説明したが、これは、反対導電型のn型半導体を用いてもよいこ

とはもちろんである。この場合、ゲート電極に印加された電圧によって生じる電界によりチャネル領域からゲート電極に向かって移動する電荷は、電子ではなく、ホールである。従ってこの場合にも、図8及び図9に示したメモリセルの構成上の特徴(つまり、シリコン酸化膜の膜厚をその下層側のシリコン酸化膜の膜厚よりも順次厚くして形成すること)はそのまま適用される。

【0157】なお、図4～図7に関連して説明したデータの書き込み/読み出し方法の処理を実現するように、各種のデバイスを動作させるためのプログラム自体及びそのプログラムをコンピュータに供給するための手段、例えば、かかる書き込み/読み出し処理の手順を規定したプログラムを記録した記録媒体は本発明の範疇に属する。かかるプログラムを記録する記録媒体としては、例えばフロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、磁気テープ、不揮発性のメモ리카ード、ROM等を用いることができる。また、コンピュータが供給されたプログラムに基づいてデータ書き込み/読み出し処理を実行することにより、前述の各実施形態の機能が実現されるだけでなく、そのプログラムがコンピュータにおいて稼働しているOS(オペレーティングシステム)又は他のアプリケーションソフト等と共働して前述の各実施形態の機能が実現される場合にも、かかるプログラムは本発明の範疇に属する。さらに、供給されたプログラムがコンピュータの機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに格納された後、そのプログラムの指示に基づいてその機能拡張ボードや機能拡張ユニットに備わるCPU等が実際の処理の一部又は全部を実行し、その処理によって前述した各実施形態の機能が実現されるシステムも本発明の範疇に属する。

【0158】上述した実施形態では、図1(図2、図8、図9、図9も同様)に示すようにシリコン酸化膜11(11a、11b、51)、13(13a、13b、53)、15(15a、15b、55)、17(17a、17b、57)を用いて説明したが、そのシリコン酸化膜の代わりにONO膜(酸化膜、窒化膜、酸化膜)や強誘電体膜を用いてもよい。

【0159】また、強誘電体膜を用いた場合は、誘電体膜(本実施形態では、シリコン窒化膜、導電性のポリシリコン膜を指す)12(12a、12b、52)、14(14a、14b、54)、16(16a、16b、56)、18(18a、18b、58)の代わりに、白金、チタン化合物、タングステン化合物、ルテニウム化合物などを用いてもよく、白金層の下面にポリシリコン等の導電体層を設け2層構造としてもよい。

【0160】上記であげた強誘電体膜は、PZT(ジルコン酸チタン酸鉛)、PLZT(ジルコン酸チタン酸鉛ランタン)、チタン酸バリウム、チタン酸パラジウム、チタン酸バリウムストロンチウム薄膜、チタン酸ビスマ

ス、ジルコン酸チタン酸鉛等の強誘電体を示す物質であれば、他の物質を用いてもよい。また、強誘電体膜に代えて、例えば、タンタル酸化物、 Ta_2O_5 、BSTO等の誘電率が50以上の高誘電体膜を使用してもよい。

【0161】また、図1（図10(c)も同様）に示すように電荷捕獲膜5(50)を誘電率の異なる絶縁膜を多層に積層してもよい。また、図1（図10(c)も同様）に示すように電荷捕獲膜5(50)を誘電率の異なる強誘電体膜を多層に積層してもよい。

【0162】

【発明の効果】本発明によれば、電荷捕獲膜の調節を容易かつ確実にを行い、情報ばけ等の不都合の発生を防止して所望の多値情報を記憶することを可能とし、電荷捕獲膜が積層構造を有するために小さなサイズのチップに極めて高い集積度をもつ不揮発性半導体記憶装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る不揮発性半導体記憶装置の主要部の構成を概略的に示した断面図である。

【図2】本発明の第1の実施形態の不揮発性半導体記憶装置の製造方法を説明する工程図である。

【図3】本発明の第1の実施形態の不揮発性半導体記憶装置の製造方法を説明する工程図である。

【図4】本発明の第1の実施形態におけるデータの書き込み方法を説明する模式図である。

【図5】本発明のデータの書き込み方法の一例を表したフローチャートである。

【図6】本発明の第1の実施形態におけるデータの読み出し方法を説明する模式図である。

【図7】本発明のデータの読み出し方法の一例を表した

フローチャートである。

【図8】本発明の第1の実施形態の一変形例の構成を概略的に示した断面図である。

【図9】本発明の第1の実施形態の他の変形例の構成を概略的に示した断面図である。

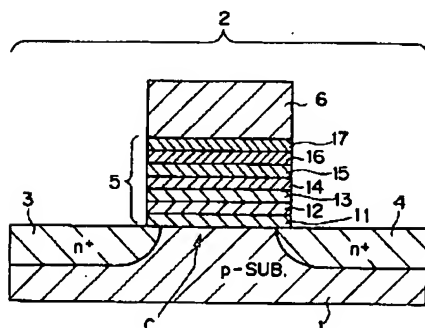
【図10】本発明の第2の実施形態に係る不揮発性半導体記憶装置の主要部の構成を概略的に示した模式図である。

【図11】本発明の第2の実施形態に係る不揮発性半導体記憶装置の製造方法を説明するための工程図である。

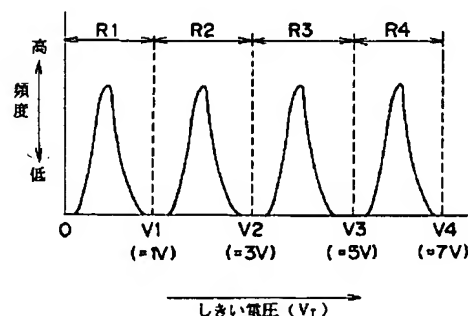
【符号の説明】

- 1, 31 半導体基板
- 2 素子形成領域
- 3, 34 ソース領域
- 4, 35 ドレイン領域
- 5, 5a, 50 電荷捕獲膜
- 6, 33 ゲート電極
- 11, 11a, 51 シリコン酸化膜（ゲート酸化膜）
- 12, 12a, 12b, 14, 14a, 14b, 16, 16b, 16c, 52, 54, 56 誘電体膜（シリコン窒化膜）
- 13, 13a, 13b, 15, 15a, 15b, 17, 17a, 17b, 51, 53, 55, 57 シリコン酸化膜
- 21, 62 ポリシリコン層
- 22, 60 レジスト
- 32 トレンチ
- 36, 38, 40 コンタクトホール
- 37, 39, 41 導電性の膜（メタル配線）
- 50 多層膜
- 61 多層積層膜

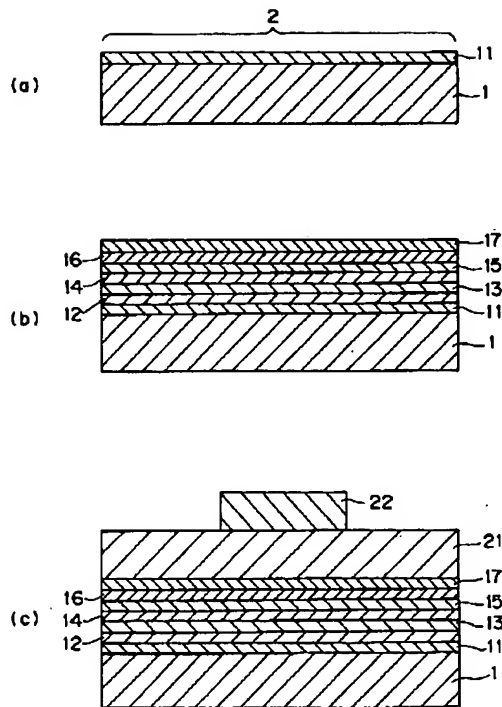
【図1】



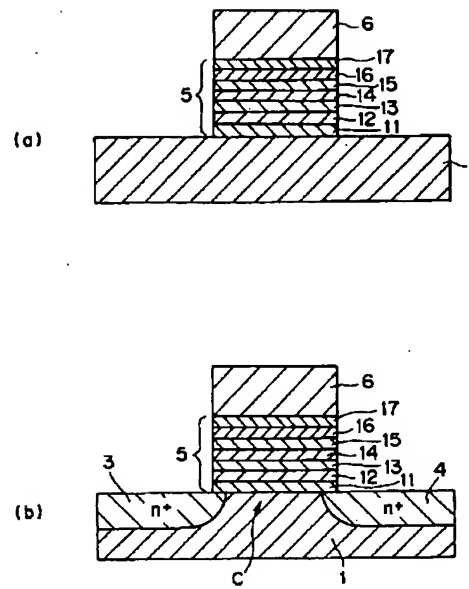
【図6】



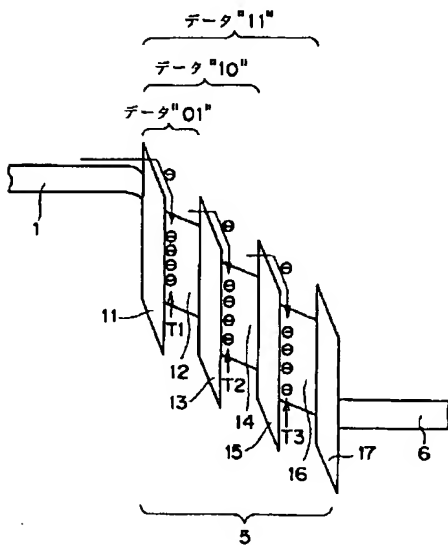
【図2】



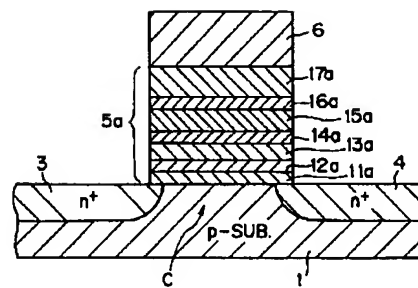
【図3】



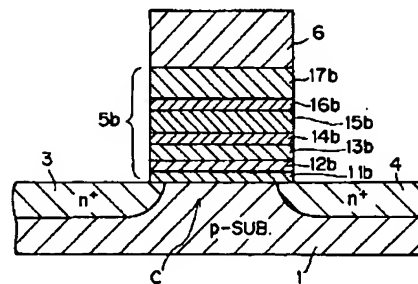
【図4】



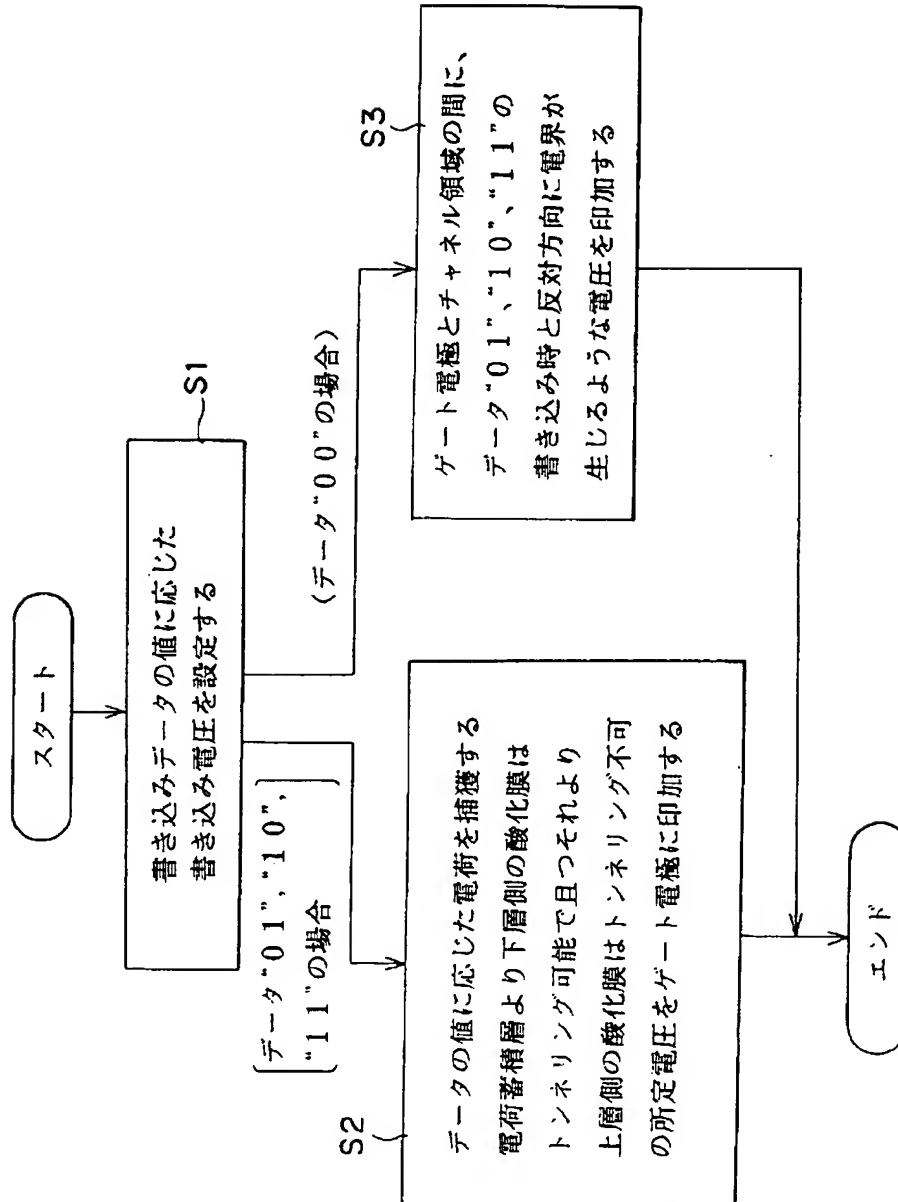
【図8】



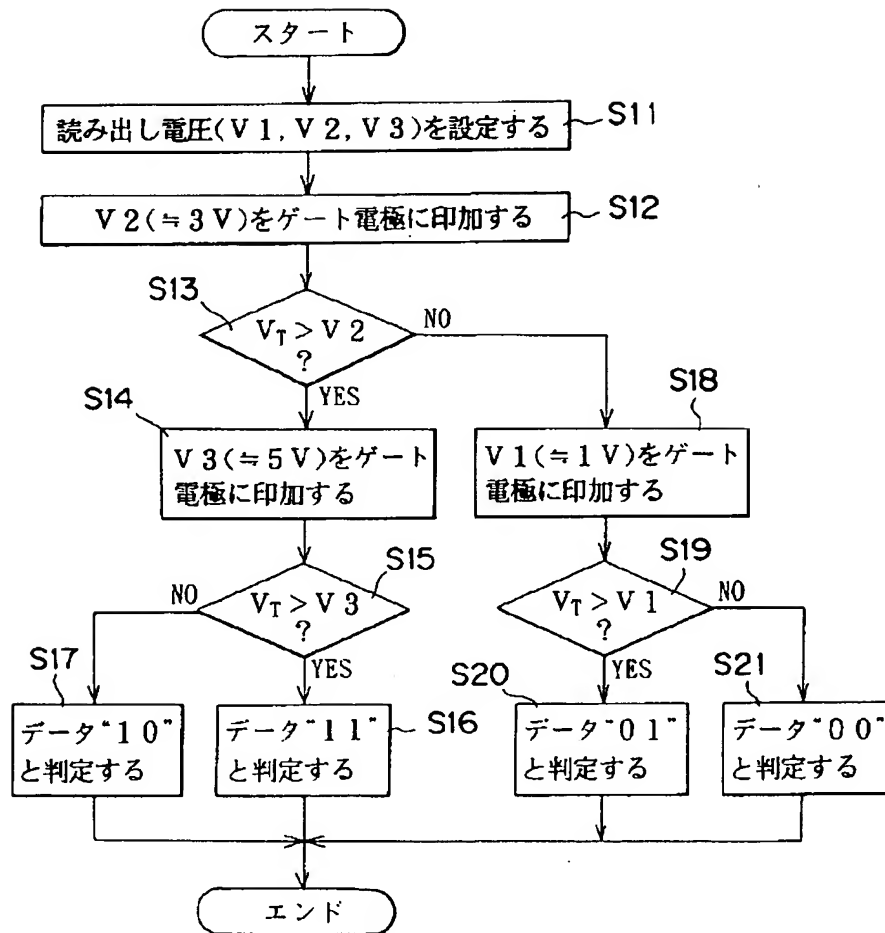
【図9】



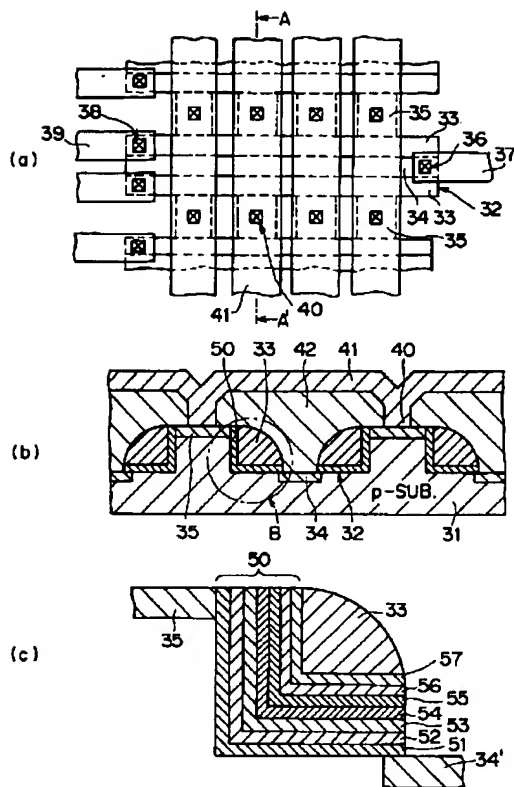
【図5】



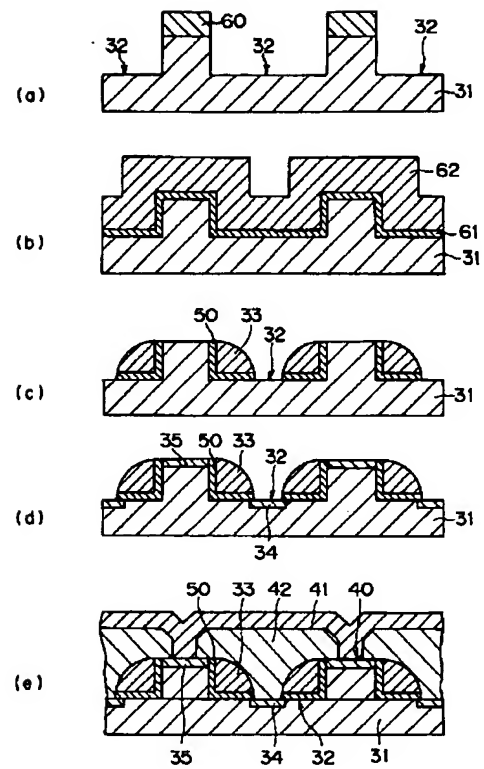
【図7】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.⁶
H01L 27/115

識別記号

F I